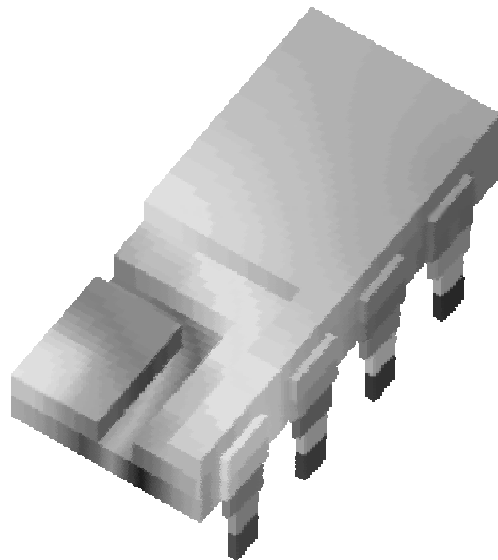


## Rapport de stage de Xavier Le Goär

### Conception d'une puce dédiée au test thermique de boîtiers électroniques



TIMA : Techniques de l'Informatique et de la Microélectronique Appliquées à l'architecture des ordinateurs

# Sommaire

Sommaire.....	2
Remerciements.....	3
Introduction.....	4
<b>Partie I : Modélisation FEM des boîtiers électroniques incluant des puces de test thermique.....</b>	<b>5</b>
<b>1) Présentation de la simulation.....</b>	<b>5</b>
1.1) Description générale.....	5
1.2) Modèle du boîtier pour la simulation FEM.....	7
1.3) Conditions de simulation.....	9
<b>2) Simulation</b>	
<b>FEM.....</b>	<b>10</b>
2.1) étude en mode statique.....	10
2.2) détection des défauts en mode statique.....	11
<b>3) Conclusions sur la simulation en éléments finis.....</b>	<b>13</b>
<b>Partie II : Conception de la puce de test thermique.....</b>	<b>14</b>
<b>1) Généralités sur la puce.....</b>	<b>14</b>
1.1) rôle et intérêt.....	14
1.2) Présentation générale.....	15
1.3) fonctionnement général de la puce.....	17
<b>2) Présentation et fonctionnement détaillés de chaque bloc.....</b>	<b>20</b>
2.1) La cellule de base « core_cell ».....	20
2.2) La logique de contrôle.....	21
2.2.1) l'unité de logique: « logic_cell ».....	21
2.2.2) l'ensemble de logique: « tile_logic ».....	22
2.3) Le bloc de mesure: « measure ».....	23
<b>3) La calibration.....</b>	<b>25</b>
3.1) le générateur de tension: « Vref_generator ».....	25
3.2) La logique de calibration: « calibration_logic ».....	27
<b>4) Simulations .....</b>	<b>28</b>
4.1) modèle Veriloga.....	28
4.2) Le modèle au niveau transistors.....	30
4.3) Évolution en température.....	34
<b>5) Conclusions sur la conception de la puce.....</b>	<b>35</b>
<b>Conclusions.....</b>	<b>36</b>
<b>Bibliographie.....</b>	<b>37</b>
<b>Annexes.....</b>	<b>38</b>

## Remerciements

Je tiens, tout d'abord, à remercier le directeur du laboratoire, M. B. Courtois, ainsi que mes tuteurs de stage, MM. S. Mir et K. Torki, pour les conseils avisés qu'ils m'ont donné durant ces quatre mois. J'ai apprécié leur disponibilité et leur patience. De plus, leurs compétences indéniables dans le domaine de la micro-électronique m'ont permis de faire rapidement progresser la conception de la puce. Qui plus est, je remercie les thésards, B. Charlot et F. Parrain, pour le temps qu'ils m'ont consacré pour m'expliquer le fonctionnement de certains logiciels ainsi que pour leur gentillesse. Enfin, je remercie toute l'équipe Micro-système à laquelle j'ai été rattaché. L'accueil a été chaleureux et les thésards ainsi que les chercheurs m'ont immédiatement intégré au groupe.

# Introduction

L'augmentation de la capacité d'intégration des puces actuelles entraîne un échauffement conséquent. Il est donc devenu indispensable de prévoir plus précisément les effets de la température sur les systèmes électroniques et surtout de trouver des moyens fiables et pratiques pour quantifier ces dégagements de chaleur au sein d'un circuit intégré, d'un boîtier ou bien de tout un système placé sur une carte. C'est pourquoi un projet européen nommé PROFIT regroupant de nombreux industriels (Infineon, STM, Philips, MicReD, Nokia...) et des laboratoires de recherche (TIMA, TUB...), a été créé.

Le but de cette étude, effectuée au laboratoire TIMA dans l'équipe micro-système, est de développer des puces de test thermique permettant de caractériser le comportement en température des boîtiers. Il s'agit donc de développer une puce placée dans la cavité d'un boîtier qui permet d'une part de chauffer le boîtier et d'autre part de mesurer la température. Cette réponse en température servira au développement de modèles thermiques des boîtiers et par la suite à la simulation thermique de tout un système électronique. En plus, grâce à cet échauffement on pourra détecter des défauts dans le boîtier ou dans la colle qui fixe la puce car la réponse en température n'est pas la même.

Le nombre de boîtiers existant étant considérable, il est évident que développer une puce pour chaque type de boîtier reviendrait beaucoup trop cher. L'idée est donc de concevoir une puce de petite taille, environ  $2 \times 2 \text{ mm}^2$ , et d'en remplir la cavité des boîtiers en formant une sorte de mosaïque. Le coût de production décroît donc très vite pour les volumes de fabrication de puces de test thermique attendus.

Mon stage se scinde en deux parties:

- La première est de valider la répartition dans la cavité d'un boîtier des puces de tests thermiques en forme de mosaïque grâce à une modélisation en éléments finis (FEM) avec le logiciel ANSYS. Je dois en effet vérifier que la répartition de chaleur est semblable dans le cas d'une seule puce recouvrant toute la cavité que dans le cas de la mosaïque. De plus, il est important de savoir si nous pourrions détecter des défauts dans le boîtier ou dans la colle, et de connaître la température que nous devons atteindre pour pouvoir tirer des conclusions intéressantes. Cette étude sera effectuée en mode statique.
- La seconde concerne la conception de la puce elle-même dans laquelle on utilisera des diodes comme capteurs de température car elles ont la sensibilité et la précision adéquates. Le design de la puce devra être généré de façon qu'on puisse l'utiliser dans le cas d'une seule puce dans la cavité et dans le cas d'une mosaïque. Dans ce dernier cas, il sera nécessaire de pouvoir adresser chaque puce séparément soit pour le chauffage soit pour la mesure de température. Les puces devront alors avoir des entrées et sorties purement numériques.

Ce stage comporte une partie importante d'innovation car des puces de test thermique avec des entrées/sorties uniquement numériques n'existent pas en dehors du cadre du projet européen PROFIT.

# Partie I:

## Modélisation FEM des boîtiers électroniques incluant des puces de test thermique

### 1)Présentation de la simulation:

#### 1.1)Description générale:

Cette simulation FEM décrit le comportement thermique de boîtiers électroniques dans le cas d'une répartition des puces en mosaïque et dans le cas d'une seule puce de test. Les puces sont placées dans la cavité du boîtier. Les mesures de température données par ces puces permettront la modélisation du boîtier et la détection des défauts en particulier concernant la qualité de la colle.

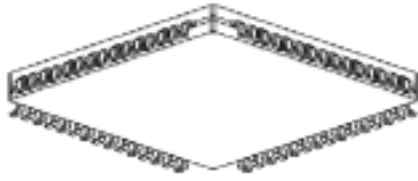
Le boîtier utilisé pour cette étude est un CERQUAD 80 pattes. Il s'agit d'un boîtier en céramique rectangulaire de dimensions (20x14x2.8mm). La figure 1a représente un CERQUAD avec seulement 60 pattes. Quant à la figure 1b, elle décrit les côtes du boîtier. Ce boîtier est de type « surface mount ».

Seulement un quart du boîtier sera modélisé car il possède 2 axes de symétries. Les figures 1c.1 et 1c.2 décrivent la cavité dans les 2 situations à étudier (respectivement une mosaïque de 9 puces et une puce unique). Les caractéristiques sont les suivantes:

- La cavité a une surface de  $7.1 \times 7.1 \text{ mm}^2$ . Notons que pour respecter le standard JEDEC concernant les tests thermiques de boîtier, il est nécessaire de séparer le bord de la puce de celui de la cavité d'au moins  $508 \text{ }\mu\text{m}$ .
- La cavité est composée d'une matrice de  $3 \times 3$  puces pour la mosaïque (fig. 1c.2). La taille de chaque puce standard est de  $2 \times 2 \text{ mm}^2$ .
- L'espace entre chaque puce est de  $10 \text{ }\mu\text{m}$ . Ceci représente un cas typique pour mesurer l'impact des discontinuités entre puces.
- Le câblage existe seulement dans une direction comme le montre la figure 1c.2. Par souci de simplicité du modèle, seulement 5 fils d'entrées/sorties sont représentés, d'autant plus que leur impact sur les échanges thermiques sont relativement faibles. Les fils de câblage mesurent  $50 \times 150 \text{ }\mu\text{m}$ .
- Le lead-frame n'est pas représenté pour la clarté des schémas, mais il a été modélisé comme le prouvent les figures 2a.2 et 2b.2.

La figure 1d décrit les différents matériaux utilisés ainsi que leur épaisseur:

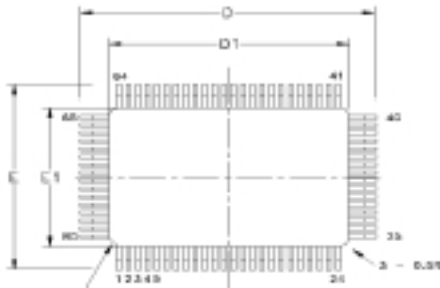
- La puce se divise en 2 parties. L'une représentant le substrat et l'autre la résistance chauffante, dans le cadre d'une simulation électro-thermique.
- Le même type de verre est utilisé pour le scellement de la céramique et pour le moulage de la puce.
- La puce est fixée par de la colle « époxy » enrichie à l'argent pour avoir une meilleure conductivité thermique.
- La puce est disposée sur une plaque conductrice en cuivre.



### 60 CERQUAD EIAJ

boîtier de montage en surface, céramique pressées, scellement par verre

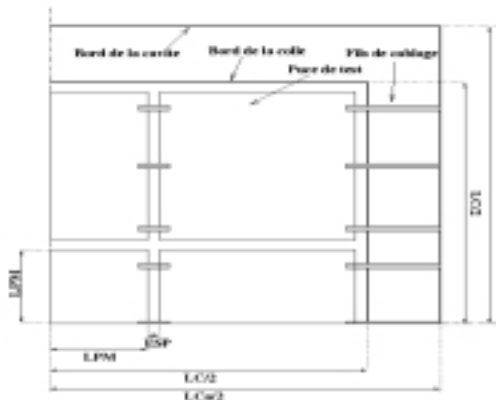
(a)



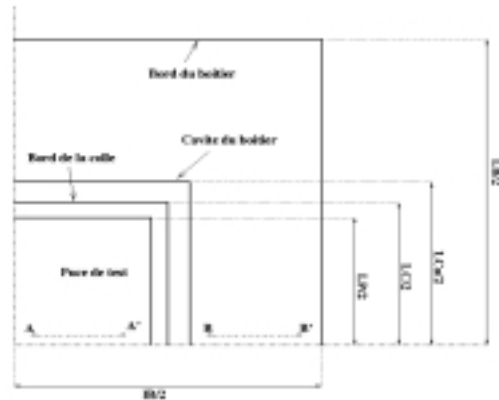
### 80 CERQUAD (14x20x2.8 mm)

$D = 23.9 \text{ mm}$        $LCa = 7.1 \text{ mm}$   
 $D1 = 20 \text{ mm}$        $LC = 6.5 \text{ mm}$   
 $E = 17.9 \text{ mm}$        $LP = 3.01 \text{ mm}$   
 $E1 = 14 \text{ mm}$        $LPM = 2 \text{ mm}$   
 $IB = E1$        $ESP = 0.01 \text{ mm}$   
 $LB = D1$

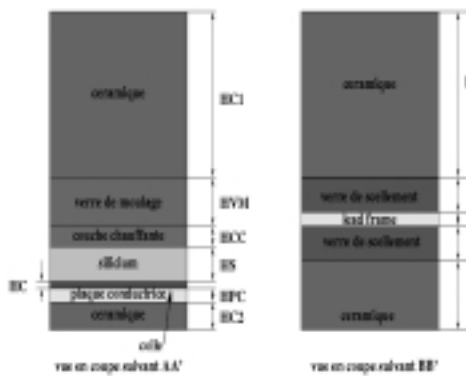
(b)



(c.1)



(c.2)



$HC1 = 1.49 \text{ mm}$        $HVS1 = 0.4 \text{ mm}$   
 $HVM = 0.4 \text{ mm}$        $HLF = 0.15 \text{ mm}$   
 $HCC = 0.2 \text{ mm}$        $HVS2 = 0.25 \text{ mm}$   
 $HS = 0.3 \text{ mm}$   
 $HC = 0.04 \text{ mm}$        $HC3 = 0.65 \text{ mm}$   
 $HPC = 0.1 \text{ mm}$   
 $HC2 = 0.26 \text{ mm}$

(d)

**Figure 1.** Boîtier étudié: (a) vue globale d'un CERQUAD EIAJ 60 pattes. (b) dimensions du boîtier CERQUAD 80 pattes utilisé ici. (c) dimensions de la cavité du boîtier, de la colle, et de la puce de test dans les deux cas d'étude. (d) vue en coupe montrant les épaisseurs des différents matériaux et la valeur des épaisseurs. La figure 1d représente une vue en coupe du boîtier en précisant les diverses couches utilisées d'une part dans la région de la cavité (ligne AA') et d'autre part hors de la zone de test à travers le lead-frame (ligne BB').

## 1.2)Modèle du boîtier pour la simulation FEM:

Les modèles pour simuler les deux types d'étude sont décrits dans la figure 2. Les figures 2(a) correspondent à la puce unique et les 2(b) à la mosaïque. Sur les figures 2(a.1) et 2(b.1), montrant les volumes, nous pouvons observer les couches successives de matériaux comme elles étaient décrites sur la figure 1.(d). Les valeurs physiques pour ces matériaux sont données dans la table 1.

Éléments	Conductivité thermique (W/m.K)	Chaleur spécifique (J/Kg.C)	Masse volumique (Kg/m <sup>3</sup> )
Céramique	25.08	1045	3980
Verre (scellement et moulage)	35.69	167.2	8700
Cuivre	398	384.56	8960
Silicium	157	702.24	2330
Colle epoxy	1.57	710.6	3500
Verre PCB	0.89	823.46	254

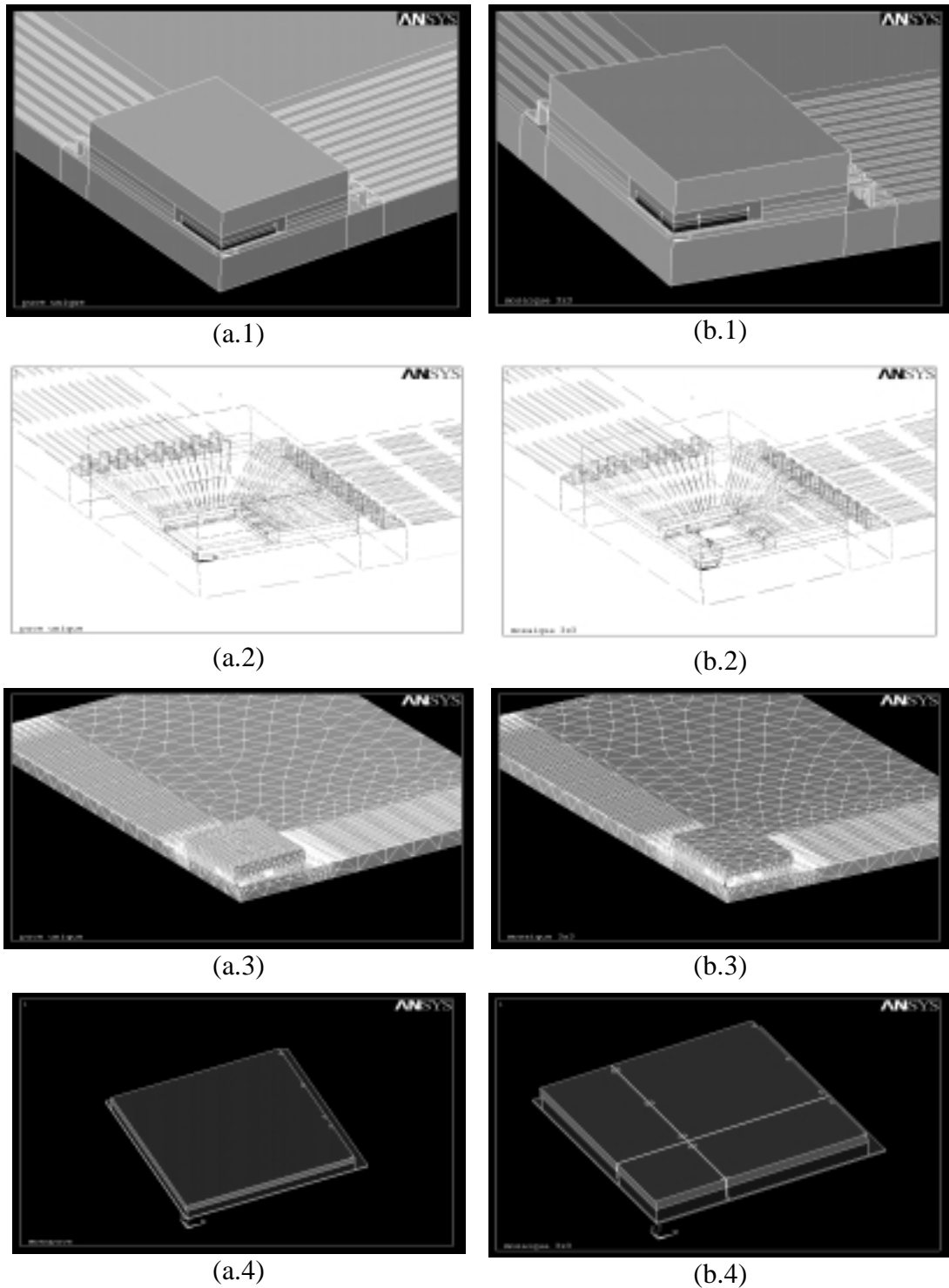
**Table 1:** Propriétés physiques des matériaux:

Les deux boîtiers sont posés sur un PCB et leurs pattes sont en contact avec des lignes en cuivre construites dans la face supérieure du PCB.

Les figures 2(a.2) et 2(b.2) permettent de distinguer l'intérieur des boîtiers. On aperçoit le lead-frame ainsi que le câblage notamment pour la mosaïque de puces. Le lead-frame a une forme trapézoïdale. En effet, la disposition des pattes au bord du boîtier est de 12 en longueur et de 8 en largeur (pour un quart de boîtier). Mais la cavité étant carrée, la répartition en ses bords est de 10x10. Par conséquent, la largeur du lead-frame n'est pas égale entre la frontière de la cavité et celle du boîtier. De plus, je rappelle que le nombre de fils de câblage est inférieure à la réalité mais leur influence sur le test thermique est faible.

Sur les figures 2(a.3) et 2(b.3), nous observons le maillage effectué par le logiciel des volumes par des éléments solides. On constate que la maille est suffisamment fine pour avoir une solution précise.

Les grossissements des figures 2(a.4) et 2(b.4) permettent de bien distinguer la séparation entre le substrat et la partie résistive. Par ailleurs, la surface inférieure représente la colle.



**Figure 2:** modèles pour la simulation FEM pour les 2 cas d'étude: (a) une puce unique chauffe la cavité. (b) puces de test disposées en mosaïque pour couvrir la cavité. Dans les deux situations, seulement un quart du boîtier est modélisé pour raison de symétrie. (1) montre les volumes et les couches composants le modèle solide. (2) donne une vue schématique de l'intérieur du boîtier, spécialement pour visualiser le lead-frame. (3) décrit le maillage, plus le volume est imposant plus le maillage est grossier. (4) représente les puces de test ainsi que la colle.

### 1.3) Conditions de simulation:

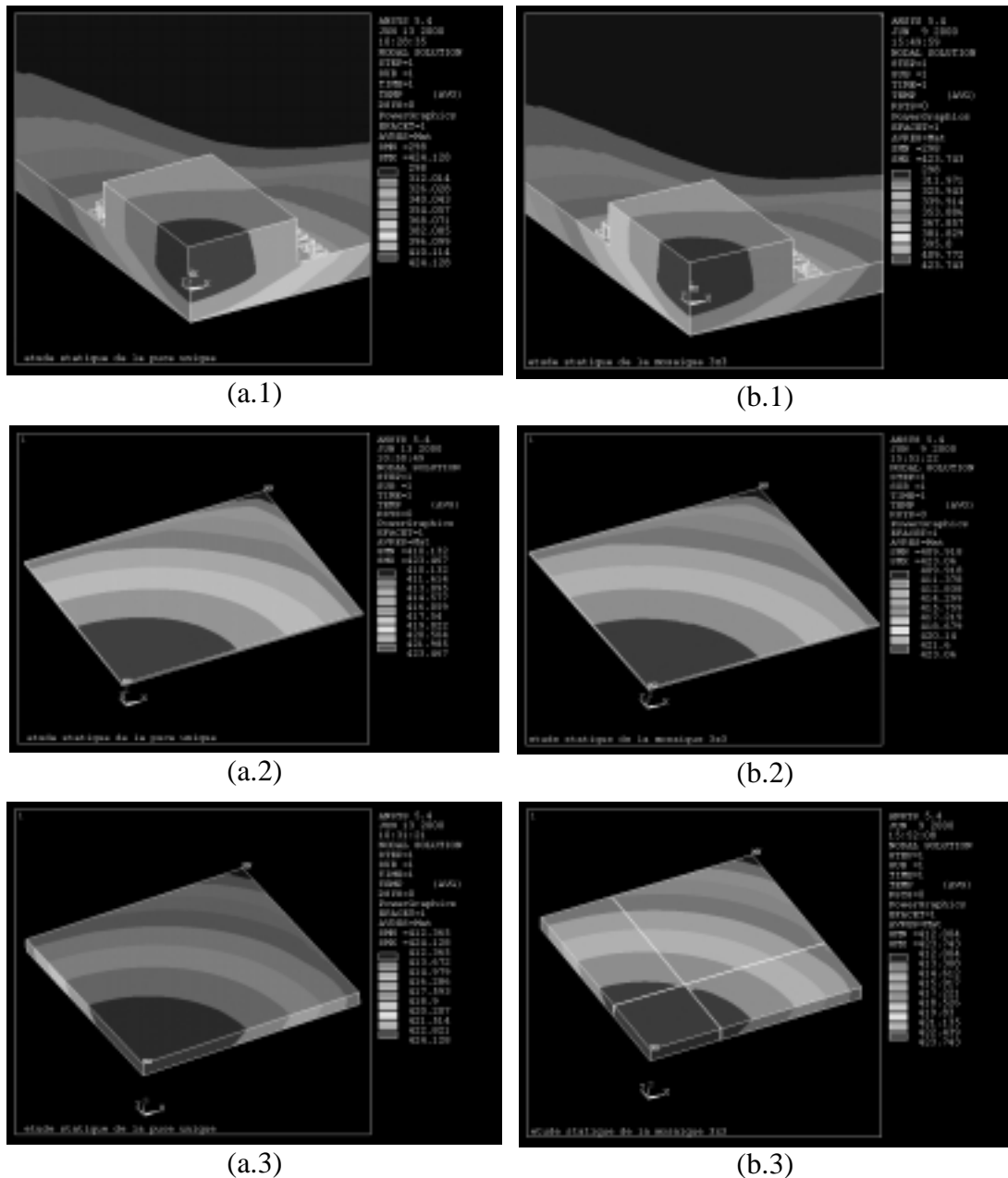
Nous avons essayé de reproduire les conditions réelles de fonctionnement d'un boîtier électronique en appliquant judicieusement les contraintes thermiques. C'est pourquoi le PCB a été ajouté. En effet, il fallait pour le réalisme de la simulation qu'il existe une zone où la température demeure constante. Le PCB joue ce rôle. Finalement, les contraintes appliquées sont les suivantes:

- La puissance thermique est injectée sur la face supérieure de la puce de test. Pour que les simulations soient semblables entre la disposition en mosaïque et celle avec la puce unique, cette puissance est de 0.9 W par puce pour la structure en mosaïque et de 8.1 W pour la puce (2.025 W dans le cas du quart de boîtier modélisé). Cette puissance est injectée de façon homogène sur toute la surface supérieure de la partie résistive.
- Nous avons considéré qu'il existait de la convection sur les faces supérieures et latérales du boîtier ainsi que sur les faces supérieures et inférieures du PCB. Cette convection est naturelle et l'espace environnant est de l'air qui conserve une température constante de 298K.
- Par ailleurs, nous imposons que les faces latérales du PCB situées loin du boîtier soient à la température constante de 298K (Attention, cela ne concerne pas les faces qui appartiennent aux plans de symétrie). Le PCB est comparable à un évacuateur de chaleur.
- Ensuite, nous ferons deux études en mode statique. L'une déterminera l'écart de température entre la structure en mosaïque et celle avec la puce unique. L'autre permettra de visualiser l'impact de défauts dans la colle.

## 2) Simulation FEM:

### 2.1) étude en mode statique:

La première étude est réalisée en mode statique. Les Figures 3 montrent les résultats obtenus pour les deux types de boîtier. Les figures 3(a) correspondent au boîtier comprenant une seule puce de test alors que les figures 3(b) représentent la disposition en mosaïque.



**Figure 3. Analyse statique pour les deux cas d'étude :** (a) une puce unique. (b) une mosaïque de puces. (1) décrivent la répartition de température pour le boîtier entier et le PCB. (2) représentent la distribution de température sur la colle et (3) à la surface des puces.

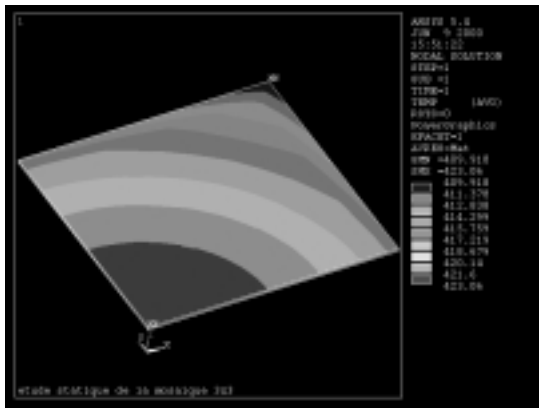
Grâce aux figures 3(a.1) et 3(b.1), on constate que la distribution de température est très similaire dans les deux situations pour le boîtier complet. La température maximale est d'environ 424K au centre du boîtier pour les deux cas. Pour les deux types d'étude, l'augmentation de température est approximativement de 125K. La simulation donne donc des résultats cohérents car il est normal que le centre géométrique du boîtier soit le lieu le plus chaud. De plus, une élévation de température de 125K est une valeur tout à fait convenable vue la puissance injectée (8.1 W pour l'ensemble et 2.025 W pour un quart).

Les figures 3(a.2) et 3(b.2) montrent la distribution de température au niveau de la colle. Ces figures sont intéressantes car on remarque clairement que la répartition de température est très similaire. En effet, dans le cas où une seule puce de test recouvre la cavité, les isothermes sont parfaitement régulières traduction d'une répartition de température homogène, ce qui est indispensable selon les standards de tests thermiques JEDEC. Sur la colle, l'écart de température est de 13.3K entre le centre géométrique et le point le plus éloigné. En revanche avec la mosaïque de puces de tests, nous notons une légère déviation au passage du fil de câblage nécessaire du fait de la séparation entre les puces (comme il apparaît plus évidemment à la surface des puces, cf. figure 3.(b.3)). Ici, l'écart de température entre le centre géométrique et le point le plus éloigné est de 13.1K. Toutefois, bien que non parfaitement circulaires, ces isothermes sont très semblables à celles obtenues dans le cas de la puce unique (figure 3a.2). La faible différence de température entre les deux cas ( $13.3 - 13.1 = 0.2\text{K}$ ) pour une élévation globale de 125K tend à prouver que notre approche est légitime.

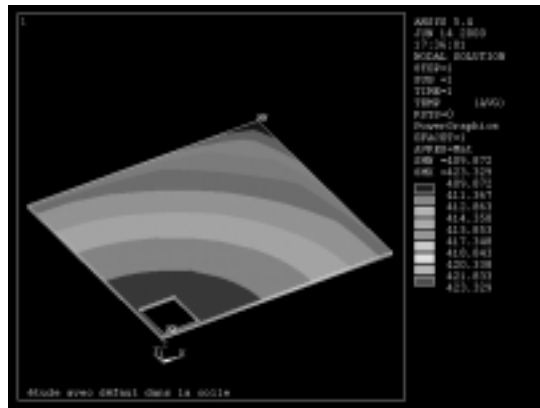
## 2.2)détection des défauts en mode statique:

Maintenant, nous allons étudier le modèle en injectant un défaut dans la colle. Celui-ci sera modélisé par une cavité remplie d'air de dimension 500x600  $\mu\text{m}$ . Le défaut est situé sous la puce centrale. Nous espérons ainsi visualiser une différence de température entre le cas sans défaut et cette simulation. En effet, l'air ayant une conductivité thermique de 0.026 W/mK, nous pensons observer un échauffement anormal de la puce située à l'origine étant donné la taille de la cavité. Je rappelle que la conductivité de la colle est de 1.57 W/mK. Les résultats obtenus sont tracés sur la figure 4. Les figures (4.a) correspondent à la mosaïque sans défaut et les numéros (4.b) à celle avec le défaut.

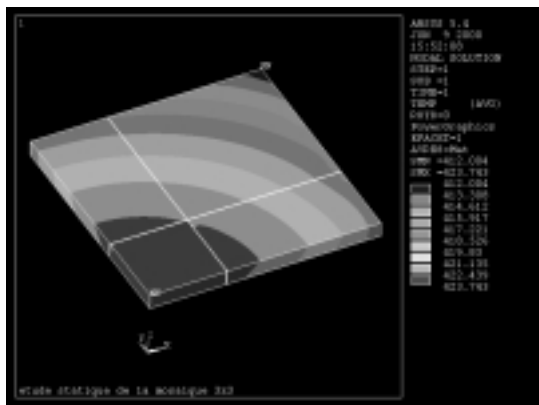
La différence de température est observable à la surface de la colle. En effet, nous constatons un écart de 0.32 K pour la zone la plus chaude entre les deux situations, comme l'indique les figures (a.1) et (b.1). De plus, nous pensons être capables avec notre capteur d'avoir une précision de 0.3 °C. Nous serons donc capables de visualiser cet écart, surtout que nous faisons actuellement une étude en statique. Or nous pouvons espérer raisonnablement que les montées en température ne sont pas les mêmes dans les deux situations, ce que devrait montrer notre puce de test. Par ailleurs, au niveau de la face supérieure de la puce, la différence de température n'est plus que de 0.19 °C. Cet écart commence à devenir difficilement mesurable pendant un test statique.



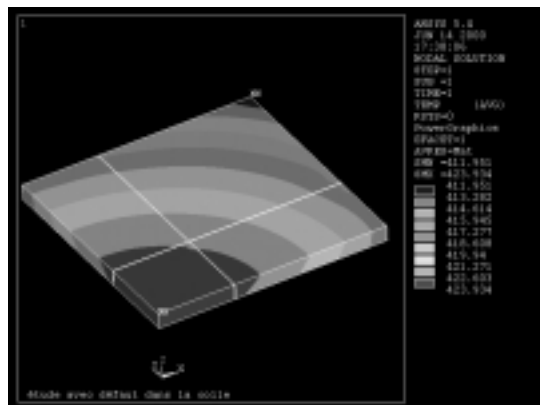
(a.1)



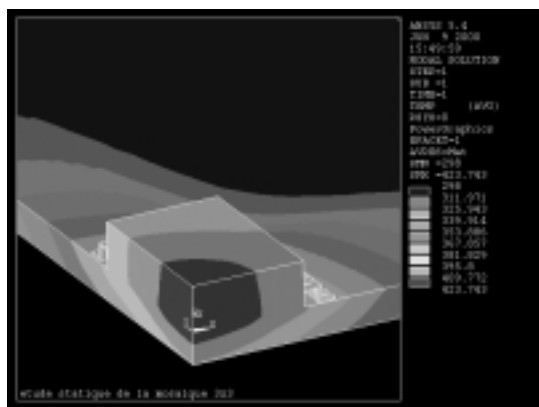
(b.1)



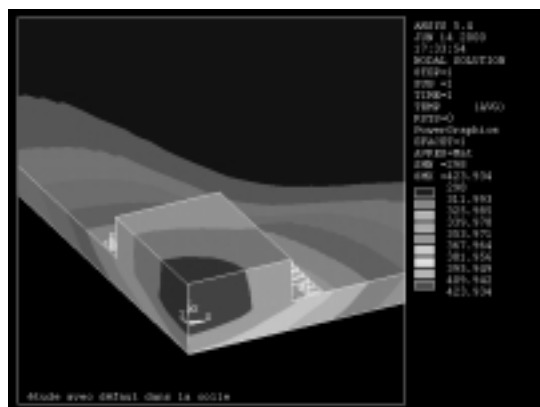
(a.2)



(b.2)



(a.3)



(b.3)

**Figure 4: analyse statique avec défaut:** (a) sans défaut. (b) avec un trou de 0.3 mm<sup>2</sup> situé sous la puce centrale de la mosaïque. (1) distribution de température sur la colle. (2) carte de température sur la partie résistive de la puce. (3) répartition sur tout le volume.

Note: Les programmes ANSYS sur l'étude avec défaut sont donnés en annexe pp 39–45 à titre d'exemple.

### **3) Conclusions sur la simulation en éléments finis:**

Pour résumer, nous avons utilisé pour notre étude un boîtier de type CQFP 80. Ceci ne représente qu'un exemple d'utilisation. Notre simulation peut très bien être adaptée à un boîtier plastique qui reste le plus utilisé communément. De plus, toutes les dimensions des couches ainsi que les matériaux même employés sont très variables d'un utilisateur à un autre. Nous avons donc tenter de réaliser un boîtier cohérent mais non exhaustif. Le choix de la céramique s'explique par le fait que l'étude en température implique une puissance dissipée conséquente. Or, l'électronique de puissance est généralement insérée dans des boîtiers en céramique.

En outre, la mosaïque ne contient que 3x3 puces élémentaires. Nous pensons que mettre plus de puces peut devenir problématique notamment à cause des problèmes d'échauffement des puces centrales, dont la puissance électrique doit traverser les puces extérieures. Quant à l'écart de 10  $\mu\text{m}$ , il nous paraît raisonnable car les surfaces de contact entre puces adjacentes sont nécessairement rugueuses.

Cependant, toutes les simulations exécutées ici tendent à confirmer que la disposition en forme de mosaïque est concevable. En effet, nous avons remarqué que la répartition de chaleur est quasiment identique dans le cas de la puce unique ou dans le cas de la mosaïque que ce soit au niveau de la colle ou à la surface des puces. Par ailleurs, le gradient de température est très similaire dans les deux, de l'ordre de 125 °C. Cette échelle de température pour une puissance d'environ 8 W laisse présager qu'une étude en température est possible. Toutefois, la détection de défauts qui est l'objectif principal implique d'utiliser un capteur relativement précis, puisque la différence de température est de 0.3 °C à la surface de la colle mais décroît à seulement 0.2 °C sur la face supérieure des puces.

## Partie II

### Conception de la puce de test thermique

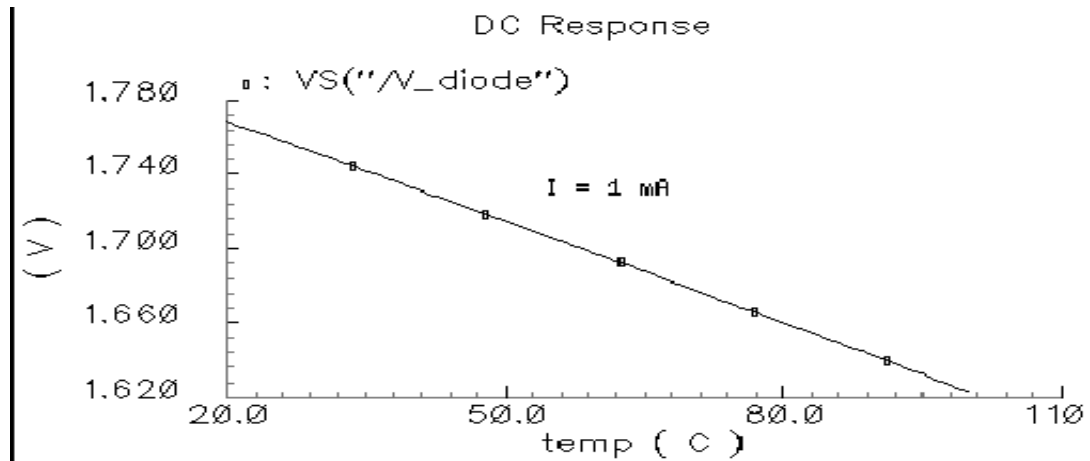
#### 1) Généralités sur la puce:

##### 1.1) rôle et intérêt:

Cette puce s'inscrit dans le cadre du projet européen PROFIT. Elle a pour but de vérifier le bon fonctionnement des boîtiers et de la colle servant à fixer les puces. Pour ce faire, la puce doit chauffer le boîtier sur une plage de température allant de 20 à 100 °C et ensuite de mesurer la température précisément en plusieurs endroits de la puce à l'aide de capteur de température. En effet, des études ont prouvé que le comportement en température n'était pas identique selon la présence de défauts ou non. Par exemple, des bulles d'air dans la colle gênera la conduction de la chaleur car l'air est un bon isolant et donc la température du circuit s'élèvera de manière anormale.

Notre puce a également comme contrainte de pouvoir être ordonnée sous forme de mosaïque ce qui implique une architecture très particulière, notamment en ce qui concerne la disposition des plots de contacts ainsi que la transmission des signaux. Par ailleurs, nos partenaires du projet, en particulier le laboratoire TUB et la société MicRed de Hongrie, ont réalisé deux puces qui répondent aux mêmes objectifs sur le plan du fonctionnement. L'une a pour dimension 2x2 mm<sup>2</sup> et l'autre 6x6 mm<sup>2</sup>. Ces puces sont basées sur une architecture différente de la notre pour la prise de mesure. Notre puce, elle, a pour dimension 2x2 mm<sup>2</sup>. Cette taille correspond au minimum imposé par le standard JEDEC (JESD 51.4). Il est donc intéressant pour nous de comparer dans un premier temps, notre puce à la 2x2 mm<sup>2</sup> réalisée par MicRed et TUB, puis dans un deuxième temps de réaliser une mosaïque de 3x3 puces afin de conclure si cette disposition est envisageable pour déterminer des défauts de boîtier en comparaison des données fournies par la puce de 6x6 mm<sup>2</sup>.

En outre, les standards JEDEC imposent que la surface chauffante représentent 85% de la surface de la puce. C'est en partie pour répondre à ce critère que les capteurs de notre puce se résume à de simples diodes dont la caractéristique en température est tracée sur la figure 5. Le chauffage est assuré par des résistances en Silicium polycristallin qui entourent les diodes. L'avantage d'une diode est son très faible encombrement et aussi comme nous pouvons le constater sur la figure 5, un signal dépendant de la température facilement exploitable car son amplitude est de l'ordre de 150 mV. Toutefois, son principal inconvénient demeure que la tension lue est analogique ce qui demande un convertisseur analogique/numérique (ADC) sur la puce afin de générer des sorties numériques ce qui est une contrainte de la spécification. En plus, l'architecture en forme de mosaïque ne peut s'accomplir qu'avec des signaux numériques qui se transmettent à travers puces.



**Figure 5:** tension de la diode en fonction de la température

Les avantages de la puce proposée sont les suivants:

- La puce de test thermique peut être implémentée dans n'importe quelle taille supérieure à  $2 \times 2 \text{ mm}^2$  sans aucun changement sur le design.
- Le fait qu'on utilise des diodes de très faible encombrement permet des mesures de température dans un grand nombre de points sur la puce, donc une très fine résolution.
- L'utilisation d'un circuit d'auto-calibration garantit la précision des mesures sur les diodes dans une plage de mesure de  $0 - 100 \text{ }^\circ\text{C}$ . Au même titre, l'auto-calibration permet d'éliminer les effets de la température ambiante.
- On utilise un convertisseur 8 bits autorisant une résolution de  $0.3 \text{ }^\circ\text{C}$ . Cette résolution peut être augmentée avec des convertisseurs codant sur 12 bits (résolution de  $0.019 \text{ }^\circ\text{C}$ ). Des résolutions plus fines demanderont l'utilisation de convertisseur Sigma-Delta.
- Des lectures de température peuvent être effectuées environ chaque  $50 \mu\text{s}$  avec le convertisseur 8 bits, ce qui est suffisant par rapport aux courbes de température qu'on veut mesurer (cf. figure 7).

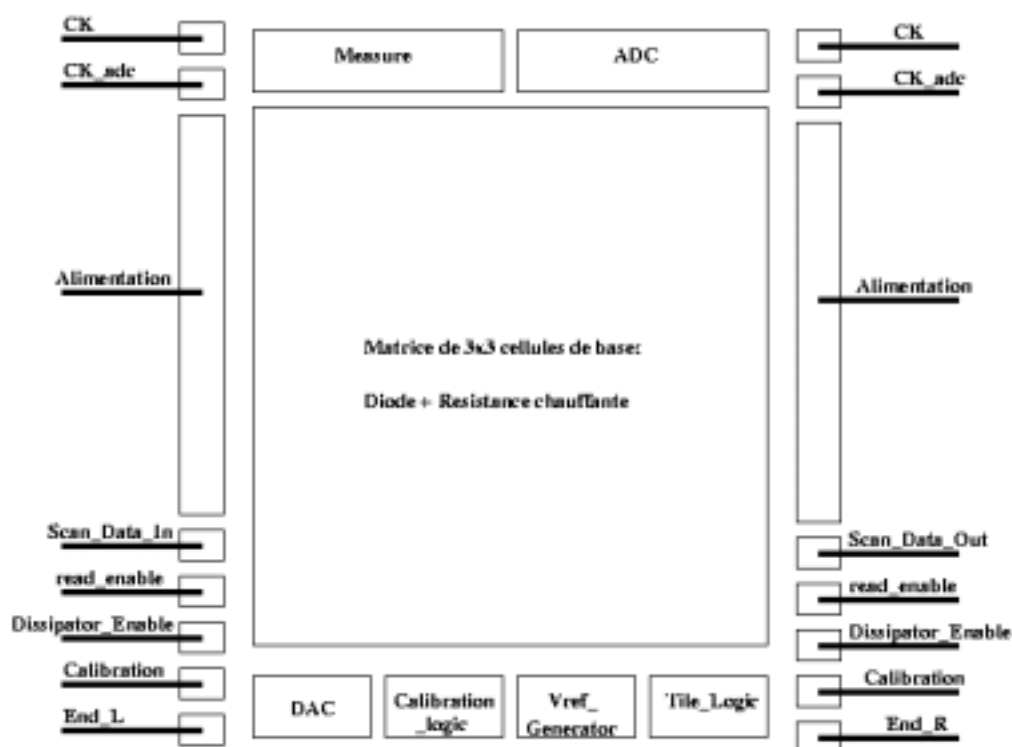
## 1.2)Présentation générale:

La puce est réalisée en technologie  $0.8 \mu\text{m}$  de chez AMS qui a l'avantage d'être bon marché et bien adapté à notre projet. En effet, il s'agit d'un circuit mixte analogique/numérique et en  $0.8 \mu\text{m}$  la librairie analogique est complète.

La figure 6 montre une vue schématique de la puce. Toutefois, la disposition réelle au niveau layout sera vraisemblablement similaire. La cellule de base incluant la diode et la résistance est dupliquée 9 fois. Ainsi, nous pensons pouvoir définir une carte de température assez précise.

Afin de lire la tension de la diode nous utilisons un ADC 8 bits comme je l'ai

stipulé précédemment. Nous avons une précision de 0.3 °C ce qui est très convenable. Afin d'éliminer des effets secondaires dans les circuits analogiques tels que les offset des amplificateurs et l'influence de la température ambiante, nous réalisons une phase de calibration. Le but de cette calibration est d'imposer une valeur de 00h à la sortie de l'ADC comme mesure de la chute de voltage dans une diode en régime froid. c'est à dire sans chauffer la puce. Ceci est possible au moyen d'un convertisseur numérique/analogique (DAC) qui génère un voltage analogique à sa sortie qui sert à la calibration.

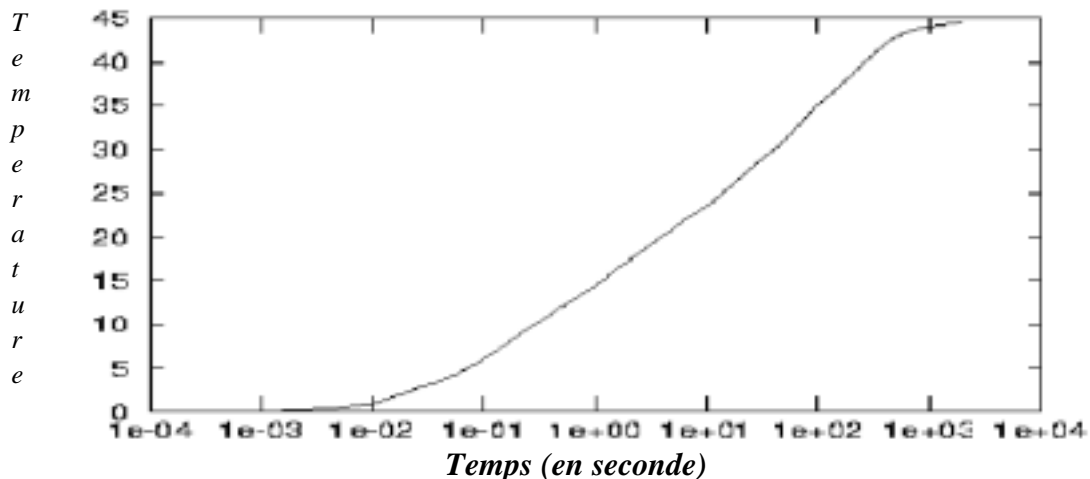


**Figure 6:** Schéma général de la puce

De plus, pour fonctionner, l'ADC et le DAC ont besoin de voltage de référence. Ces tensions sont fournies par le bloc « Vref\_generator ». Ces références sont primordiales car elles définissent la précision de la mesure. Enfin le bloc « mesure » traite le signal provenant de la diode et l'envoie à l'ADC. Je détaillerai l'étape de calibration ultérieurement. .

Par ailleurs, le temps de conversion de l'ADC est de 50 us ce qui confère une bonne résolution temporelle. Nous serons à même d'étudier l'évolution de température avec un pas très court. Lire toutes les diodes d'une puce prend 450 us. Ceci semble suffisant lorsque l'on regarde l'évolution de température d'un boîtier d'un circuit (cf. figure 7).

En outre, l'ADC ne pouvant lire la tension d'une seule diode à la fois, nous utilisons donc toute une logique de contrôle des cellules de base. Grâce à ce bloc, nous contrôlons le chauffage et la lecture des capteurs. En effet, il est intéressant pour nous de pouvoir chauffer localement ou globalement la puce.



**Figure 7:** courbe typique de l'évolution de température d'un boîtier.

Par ailleurs, la contrainte des 85% imposée par les standards JEDEC nous oblige à minimiser le nombre de plots de contacts. En effet, sur une puce de dimension  $2 \times 2 \text{ mm}^2$ , les plots représentent une très grande surface, en particulier les plots numériques qui doivent être protégés.

### 1.3) fonctionnement général de la puce:

Comme nous pouvons le constater sur la figure 6, la plupart des plots serviront à l'alimentation. En effet, les résistances nécessitent un fort courant. Or, la densité de courant par plot étant limitée (environ 100 mA), il nous faut multiplier leur nombre. Si on considère une mosaïque de  $3 \times 3$  puces, chaque ligne d'alimentation doit approvisionner 9 cellules de base, ce qui implique un courant maximum de 180 mA si toutes les résistances sont activées. Douze plots d'alimentation sont alors utilisés.

Par ailleurs, nous utilisons deux signaux d'horloge distincts. Un nommé CK\_ADC qui a une fréquence de 200 KHz qui est la valeur maximale autorisée par l'ADC, l'autre nommé CK est utilisé pour la logique qui doit être plus rapide. Cette horloge sera cadencée à 1 MHz ou plus.

En outre, les données, que ce soit pour la programmation de la puce ou pour lire les résultats de l'ADC, sont transférées bit à bit dans un registre à l'intérieur des puces dans le bloc « tile\_logic ». Pour contrôler ce module, nous utilisons 3 signaux: Calibration, Read\_Enable et Dissipator\_Enable. Ces signaux, actifs à niveau haut ont un ordre de priorité dans le sens suivant : Calibration, Read\_Enable, Dissipator\_Enable. C'est à dire, quand on a un niveau haut sur le plot de calibration, les signaux Read\_Enable et Dissipator\_Enable sont sans effet. Le principe de fonctionnement est le suivant:

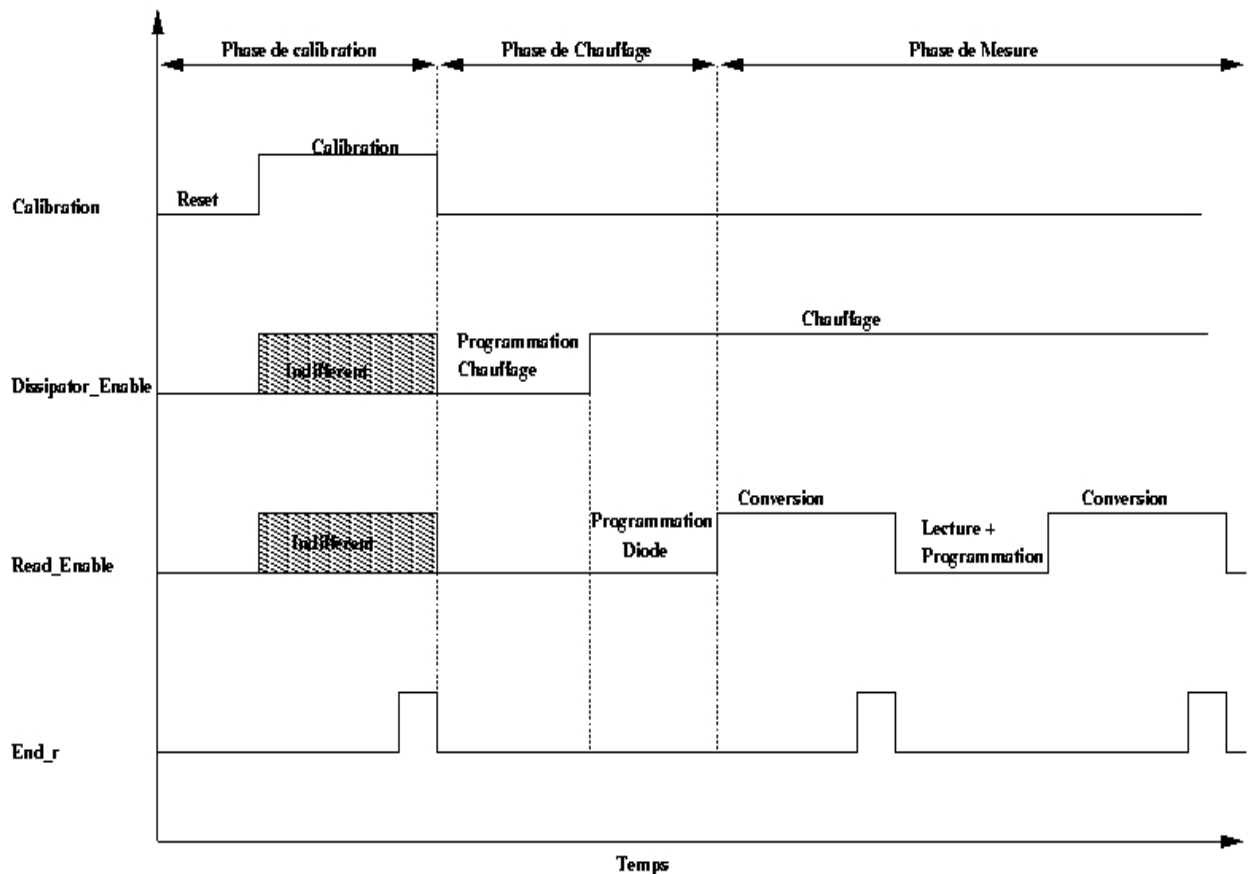
- On commence par calibrer le circuit. On active donc le signal Calibration. On va alors stocker dans le DAC la valeur de la tension nécessaire à la calibration. Une fois la calibration finie, le signal End\_r devient actif.
- Ensuite, on entre un vecteur de 9 bits (dans le cas d'une seule puce,  $x \times 9$  bit

dans le cas de x puces) par la ligne Scan\_Data\_In (SDI). Ce vecteur a pour but de programmer le chauffage. Ensuite, on active le chauffage grâce au signal Dissipator\_Enable.

- Puis, on injecte un nouveau vecteur de 9 bit qui sélectionnera la diode que l'on veut lire (dans le cas d'une seule puce, x\*9 bit dans le cas de x puces).
- Finalement, on active la lecture de la diode ( des diodes dans le cas de x puces) avec le signal Read\_Enable. Une fois la conversion terminée par l'ADC, le signal End\_r devient actif. On sort alors le code de la tension par les mêmes registres ( sortie Scan\_Data\_Out). En même temps, on peut injecter une nouvelle sélection de diode pour faire une autre mesure.

Note: Le signal End\_r est utile car il est nécessaire d'être sûr que la phase que l'on est en train d'exécuter est finie pour lancer la suivante. C'est de l'extérieur, lorsque l'on détecte un front montant de End\_r que l'on active les autres signaux. Ceci est aussi valable dans le cas d'une mosaïque car le signal End\_1 (r) passe de puce à puce.

La figure 8 montre un exemple de chronogramme simplifié des signaux de contrôle pour résumer le fonctionnement de la puce, tandis que la figure 9 représente la vue schématique de la puce avec tous les modules qui la composent.



**Figure 8:** chronogramme de fonctionnement de la puce ( pas à l'échelle)

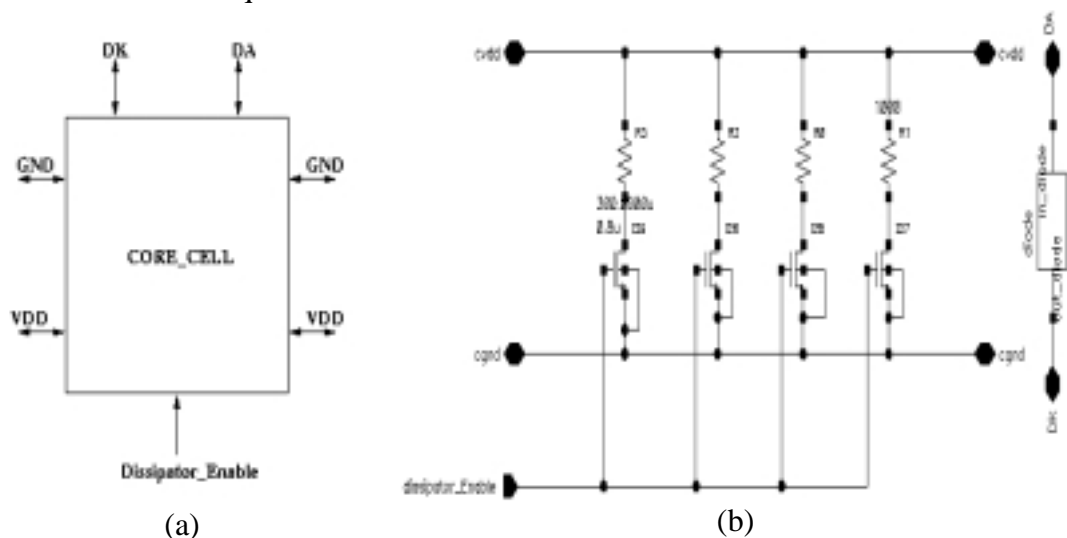


## 2).Présentation et fonctionnement détaillés de chaque bloc:

### 2.1)La cellule de base « core\_cell »:

La cellule de base est constituée de la diode, de la résistance en silicium polycristallin 1 et aussi des transistors servant d'interrupteur de la partie résistive. Le schéma d'une cellule est montré sur la figure 10. Au total, une cellule dissipe une puissance de 0.1 W. En effet, il circule un courant de 5 mA dans quatre résistances de 1 K $\Omega$ . La particularité de cette cellule est d'utiliser 4 interrupteurs au lieu d'un seul. En fait, l'utilisation d'un seul transistor implique un échauffement local qui risque de perturber la cartographie thermique du circuit.

Quant à la diode, elle est alimentée par un courant d'environ 1 mA généré dans la puce. La valeur exacte n'est pas importante du fait que la phase de calibration tient en compte de possibles déviations. La diode délivre alors une tension d'environ 800 mV. La source de courant ainsi que l'interrupteur de sélection de la diode ne sont pas dans ce module mais dans le bloc « mesure ». La cellule de base reçoit comme signal d'entrée Dissipator\_Enable qui actionne les interrupteurs et envoie en sortie la tension de la diode qui est traitée dans le bloc « mesure ».



**Figure 10: vue schématique de la cellule de base.** a) Symbole du bloc avec ses entrées/sorties. b) architecture de la cellule.

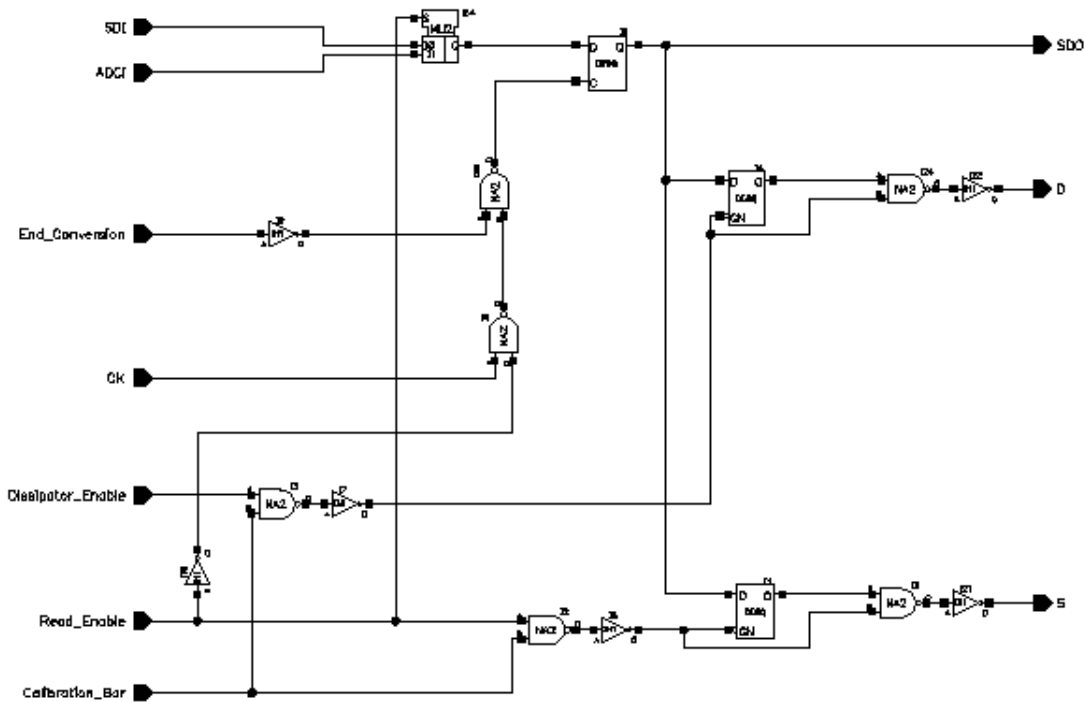
Tous les transistors servant d'interrupteur sont de taille conséquente, spécialement ceux pour les résistances ( $w=300 \mu\text{m}$  et  $l=0.8 \mu\text{m}$ ), car ils doivent conduire un fort courant. La diode sera entourée par les résistances afin d'avoir une distribution de température homogène.

Par ailleurs, nous avons déjà envoyé en fabrication une diode afin d'étudier son comportement en température notamment en ce qui concerne sa linéarité.

## 2.2) La logique de contrôle:

### 2.2.1) l'unité de logique: « logic\_cell »

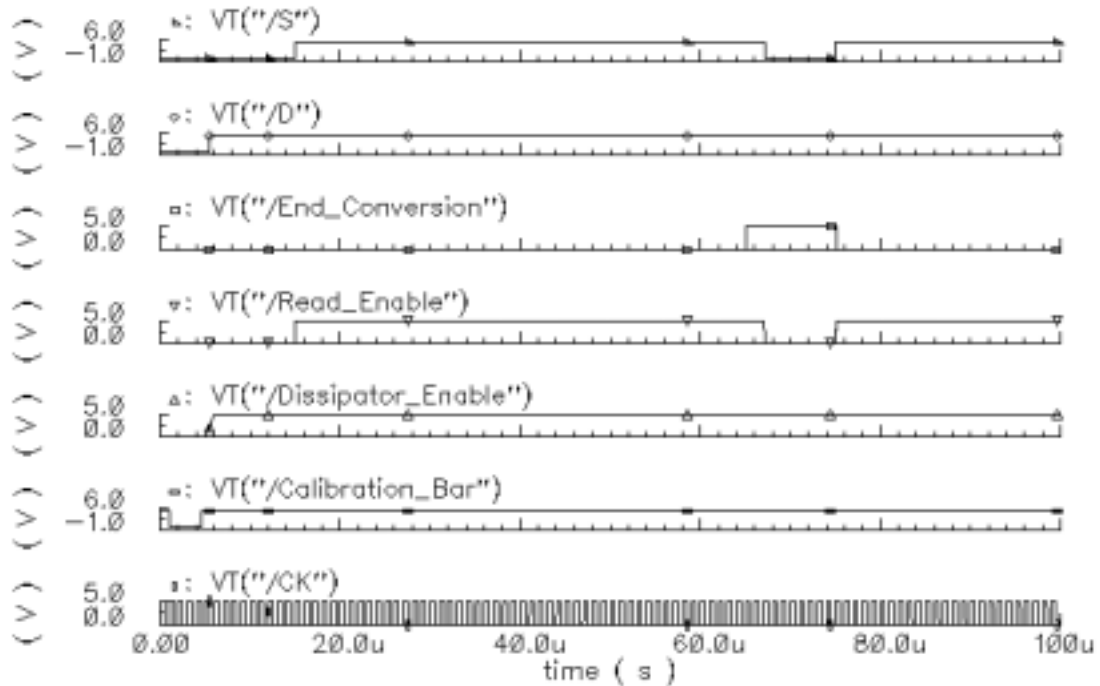
Cette unité est répétée 9 fois dans le bloc « tile\_logic » qui sera décrit dans le paragraphe suivant. Elle gère le chauffage, la sélection de la diode, la programmation et la lecture des mesures. Chaque cellule est dédiée à une cellule de base « core\_cell ». Elle se décompose de la manière suivante : cf. figure 11



**Figure 11:** élément de base de la logique. « logic\_cell »

On note la présence d'une bascule D (DFF) et de deux Latch (DL). L'un est destiné à l'interrupteur de la résistance et l'autre à celui de la diode. Les signaux qui contrôlent ce bloc sont Dissipator\_Enable, Read\_Enable et Calibration\_Bar. Le fonctionnement se déroule ainsi. Calibration\_Bar est prioritaire sur Read\_Enable et Dissipator\_Enable en ce qui concerne les D.L. Quand Calibration\_Bar est à niveau bas rien n'est actif. Le chronogramme de la figure 12 montre le rôle des signaux. Au début, Read\_Enable et Dissipator\_Enable sont à 0. On programme le chauffage. Read\_Enable étant à 0 le multiplexeur sélectionne l'entrée SDI. C'est donc bien le vecteur pour le chauffage qui est stocké dans les DFF à chaque coup d'horloge CK. Ensuite Dissipator\_Enable passe à 1 ce qui a pour effet de mémoriser dans le DL la valeur qui était dans la DFF. Dissipator\_Enable active aussi la porte ET qui est en relation avec l'interrupteur de la résistance. Puis, on entre de nouveaux bits de programmation pour la diode. Dès que Read\_Enable monte à 5V, le D.L mémorise la valeur et active s'il y a lieu la diode. De plus, maintenant le multiplexeur sélectionne les bits de sortie de l'ADC. Toutefois, l'horloge de la bascule D est gérée désormais par End\_Conversion. Il faut attendre que l'ADC est fini sa conversion pour stocker

une valeur stable. Enfin, quand la mesure est effectuée Read\_Enable revient à niveau bas et on peut refaire une nouvelle programmation de sélection de diode.

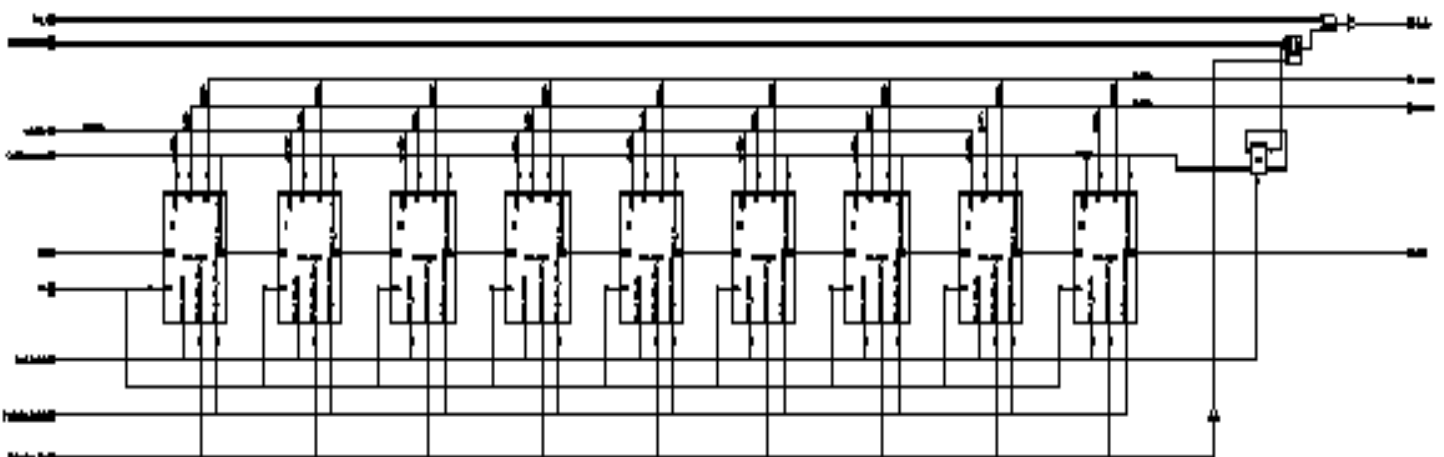


SDI et ADCi sont à 5V

**Figure 12:** chronogramme du fonctionnement de la cellule « logic\_cell »

### 2.2.2) l'ensemble de logique: « tile\_logic »

Ce module est composé de 9 cellules élémentaires « cell\_logic » comme le montre la figure 13.



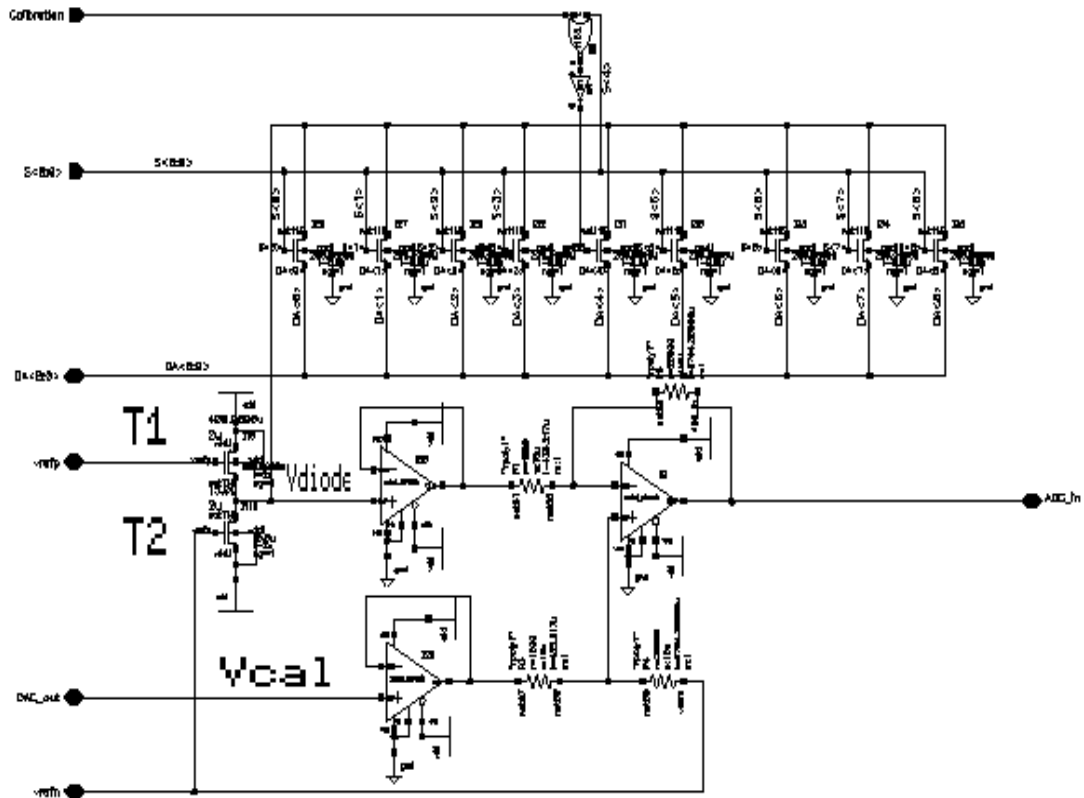
**Figure 13:** vue schématique de la logique de contrôle « tile\_logic » de la puce.

Ce bloc reçoit en entrée les signaux de contrôle destinés aux 9 unités élémentaires, à savoir Read\_Enable, Dissipator\_Enable et Calibration\_Bar, ainsi que les signaux CK, End\_conversion, End\_Calibration et les sorties de l'ADC  $q_{d<7:0>}$ . Toutes les cellules sont connectées à ces signaux comme nous l'avons vu dans le paragraphe précédent pour leur fonctionnement. Elles se transmettent les bits de programmation par la ligne SDI-SDO (Scan Path). Qui plus est, la cellule « tile\_logic » doit prévenir quand la calibration ou les mesures sont finies. C'est à cela que sert le multiplexeur et la bascule D branchée en mode toggle. Quand Calibration\_Bar est à 0, c'est à dire quand on calibre, le multiplexeur sélectionne le signal End\_Calibration. Dès que celui-ci passe au niveau haut et que le précédent aussi (signal End\_1), End\_r envoie un front montant pour la prochaine puce. En revanche, quand Calibration\_Bar est à 1, le multiplexeur transmet le signal provenant de la bascule D. Ce toggle est remis à zéro par le signal Read\_Enable (logique négative). Lorsque Read\_Enable est à 5V et que la conversion est finie, End\_conversion devient actif. La bascule D voit un front montant sur son horloge et transmet un 1 logique qui passe de puce à puce à travers les plots End\_r et End\_1 comme le signal End\_Calibration

### 2.3) Le bloc de mesure: « measure »

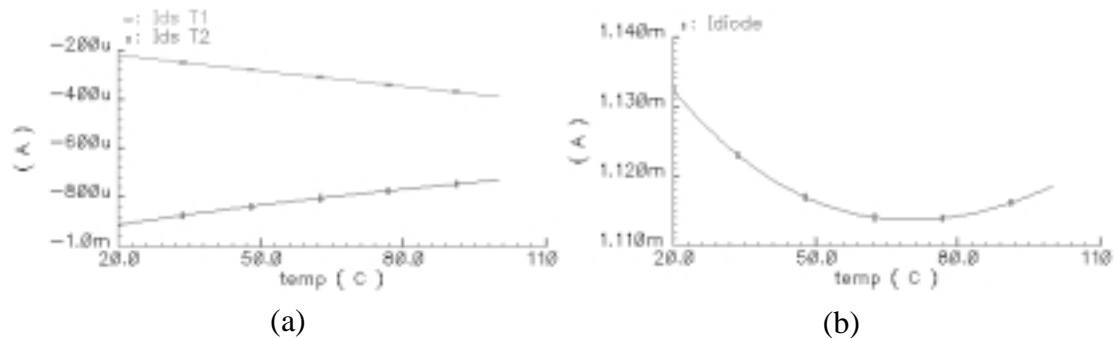
La figure 14 nous présente une vue schématique de l'unité servant à traiter le signal provenant de la diode. Ce bloc contient donc tous les transistors contrôlant les capteurs. Ces interrupteurs sont commandés par le bus  $S_{<8:0>}$  qui vient des cellules « logic\_cell ». On remarque que le transistor relié à la diode n°4 (i.e. la diode centrale) est commandée par une porte OU. En effet, cet interrupteur est fermé soit quand on calibre (Calibration=1) soit lorsqu'il est sélectionné par  $S_{<4>}$ .

Les transistors PMOS 1 et 2 assurent le courant de 1 mA qui circule dans les diodes. Il s'agit d'une source de courant stable en température. En fait, ces deux transistors sont dans deux modes de fonctionnement différents. Le n°1 est en régime linéaire alors que le n°2 est saturé. Ceci a été réalisé en appliquant deux tensions différentes sur les grilles des transistors.  $V_{refn}$  se situe à 1V et  $V_{refp}$  à 4V. Or, les deux principaux paramètres déterminant le courant  $I_{ds}$  d'un transistor sont la mobilité des porteurs  $\mu$  et la tension de seuil  $V_t$ . L'un comme l'autre diminuent avec la température mais ont des effets opposés sur le courant  $I_{ds}$ . En plus, un paramètre est dominant sur l'autre suivant la valeur de  $V_{gs}$ . Ainsi, si  $V_{gs}$  est faible (T1 saturé) alors l'effet de la température sur  $V_t$  est dominant.  $V_t$  étant décroissant avec la température,  $I_{ds}$  augmente (en valeur absolue). Mais quand  $V_{gs}$  est grand (T2 linéaire), l'effet de la température sur  $\mu$  devient dominant et entraîne une décroissance du courant.



**Figure 14:** vue schématique du bloc « mesure »

Pour un seul transistor, il existe une tension  $V_{gs}$  où l'influence de la température est nulle sur le courant  $I_{ds}$ . Cependant, nous ne voulons pas à avoir à générer une tension depuis l'extérieur de la puce. De plus, cette tension est dépendante de la taille du transistor, donc nous avons opté pour l'utilisation de deux transistors fonctionnant dans deux régimes différents et qui utilisent comme voltages les mêmes que ceux de l'ADC (1 et 4 V). La figure (15.a) nous montre que comme prévu l'influence de la température sur le courant  $I_{ds}$  est opposée pour les deux transistors, ce qui permet d'obtenir, en jouant sur les tailles des transistors, un courant très proche de 1.1 mA et stable en température dans la plage 20–100 °C (figure 15.b).



**Figure 15:** a) variations du courant  $I_{ds}$  pour les transistors T1 et T2 en fonction de la température. b) courant parvenant à la diode.

Par ailleurs, on constate que la tension de la diode arrive directement sur un suiveur. Cet amplificateur opérationnel est obligatoire car il faut que tout le courant serve pour l'alimentation de la diode. Il en va de même pour la tension de calibration provenant du DAC. Pour fonctionner correctement, cette entité ne doit pas fournir de courant en sortie. Nous avons donc dû utiliser là aussi un suiveur.

Ensuite, les deux tensions  $V_{diode}$  et  $V_{cal}$  attaquent un amplificateur différentiel référencé à  $V_{refn}$  (1V). Le gain de cet étage est de 20. A sa sortie la tension lue à pour expression:

$$V_s + V_{refn} + G(V_{cal} - V_{diode})$$

Où  $G = 20$ .

Cette tension parvient enfin à l'entrée de l'ADC qui la convertit sur 8 bits.

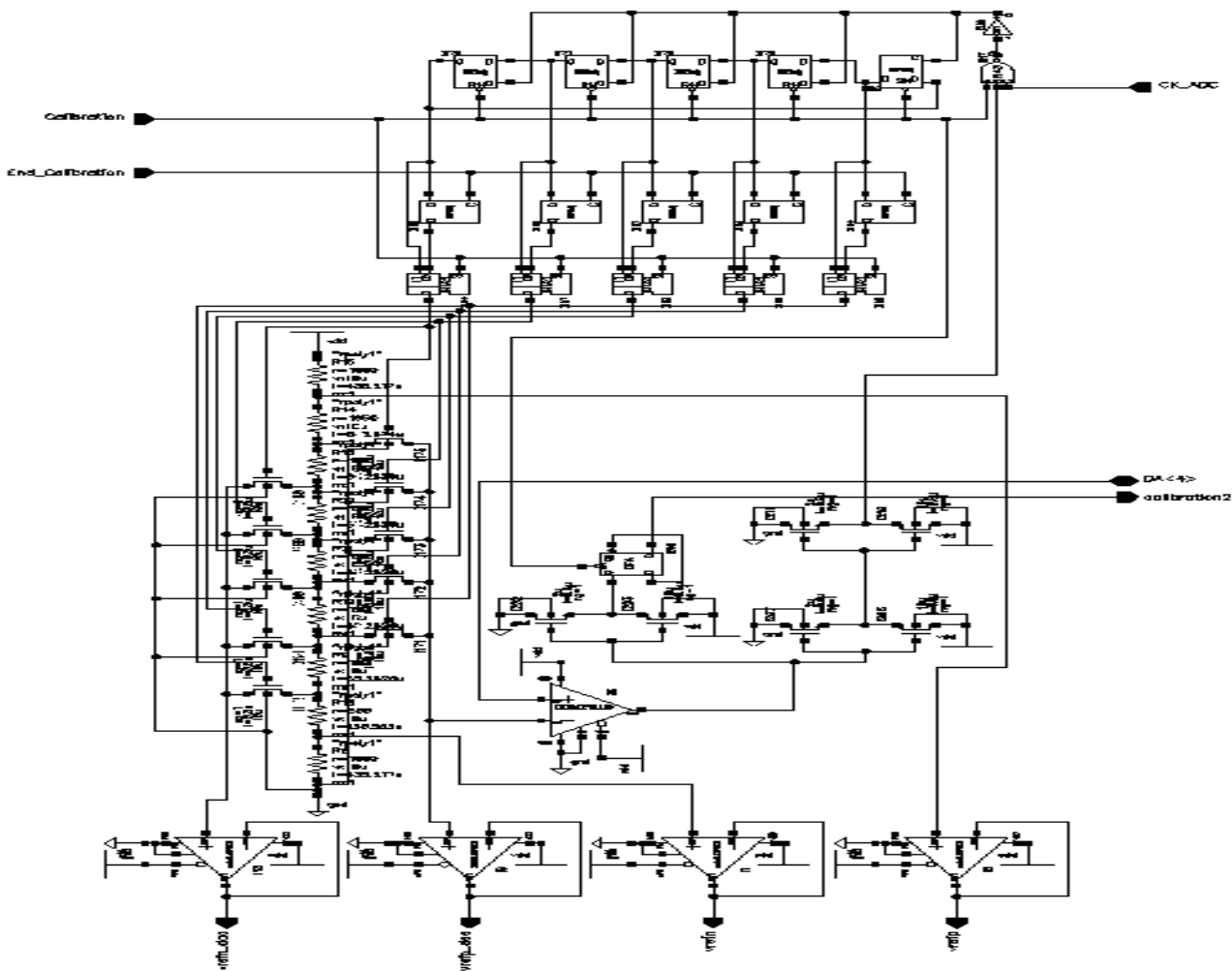
### 3)La calibration:

Le but de la calibration est de bien contrôler la réponse des capteurs (des diodes dans notre cas). En effet, des imprécisions inhérentes aux composants analogiques doivent être compensées afin d'éliminer de la courbe de mesure d'un capteur de possibles offset. Ceci implique que ,pour une température de référence, le capteur doit fournir comme mesure une valeur connue au préalable. Dans notre puce, cette calibration implique qu'à froid, la mesure de la chute de voltage dans une diode devra fournir un résultat de 00h à la sortie de l'ADC.

#### 3.1) le générateur de tension: « $V_{ref\_generator}$ »

ce bloc doit générer 4 tensions de référence :  $v_{refn}$  et  $V_{refp}$  qui servent pour l'ADC, la diode,l'amplificateur différentiel et la source de courant; mais aussi  $V_{refn\_dac}$  et  $V_{refp\_dac}$  qui servent au DAC. Ces différents voltages sont obtenus grâce à un pont diviseur.  $V_{refn}$  est à 1V et  $V_{refp}$  à 4V. Quant aux tensions  $V_{refn\_dac}$  et  $V_{refp\_dac}$ , elles doivent couvrir un intervalle de 150 mV autour de la tension de l'anode de la diode (la cathode étant connectée à  $V_{refn}$ ). Une logique simple permet de réaliser cette phase préparatoire à la calibration. Un 1 logique parcourt un registre à décalage et commande des transistors connectés à différentes tension comme le montre la figure 16.

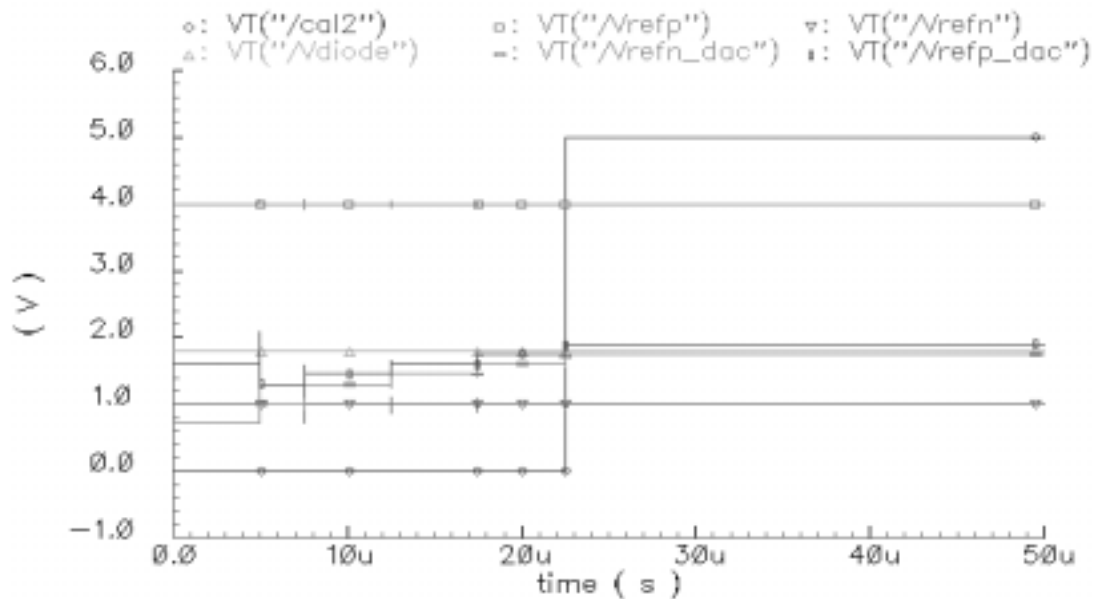
Il suffit ensuite de comparer la tension de la borne positive de la diode à la tension de référence choisie et dès que le comparateur passe au niveau bas, on arrête le décalage. Le DAC a donc une fenêtre de conversion de 150 mV. La variation du voltage à la sortie du DAC, pour l'incrément ou le décrément d'un bit à son entrée, est alors de  $150 \text{ mV} / 256 = 0.59$ . Ceci permettra de placer la tension de calibration avec une précision de quelques micro-volts. Si on multiplie par 20 qui est le gain de l'amplificateur différentiel, on obtient 3V qui est l'intervalle des tensions de référence de l'ADC. Rappelons aussi que que la diode déviara d'environ 150 mV dans la plage de température 20–100 °C (cf. figure 5). Ces deux entités ont donc la même précision grâce à ce procédé.



**Figure 16:** vue schématique du bloc « Vref\_generator »

La figure 17 montre clairement le calage des tensions de référence autour de  $V_{diode}$ . Le signal Calibration2 est activé une fois le calage des tensions de référence terminé. L'activation de Calibration2 démarrera la phase de calibration décrite dans le paragraphe suivant.

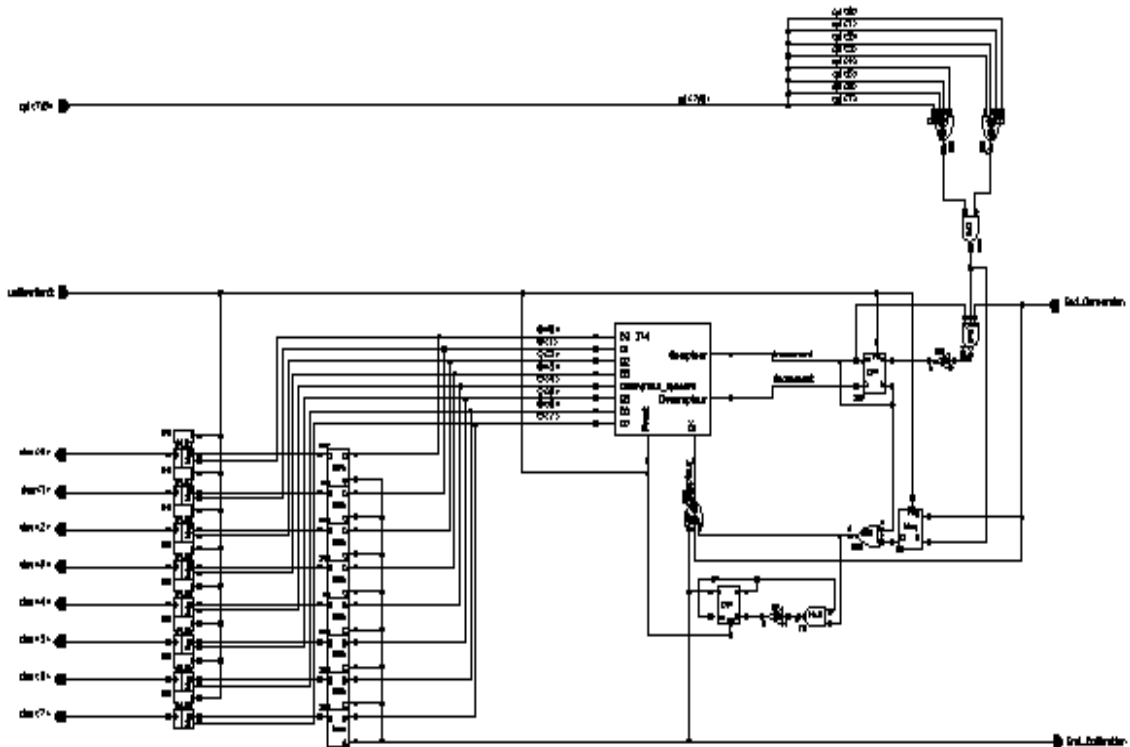
En outre, sur chaque sortie des voltages de référence est placé un suiveur car et l'ADC et le DAC tirent du courant, ce qui pourrait perturber le pont de résistances et donc fausser la valeur de ces tensions. De plus, nous utilisons deux registres à décalage: le deuxième registre mémorise la position du bit qui permet d'obtenir les tensions correctes dès que la calibration s'arrête. Le premier registre s'initialise alors pour être utilisé pendant une nouvelle calibration. Le multiplexeur choisit l'un ou l'autre des registres selon l'état du signal Calibration. Enfin, les trois inverseurs à la sortie du comparateur ont été calibrés pour commuter à un seuil éloigné de 2.5V.



**Figure 17:** graphique du calage des tensions de référence.

### 3.2) La logique de calibration: « calibration\_logic »

Cette entité est composée essentiellement d'un compteur-décompteur synchrone 8 bits, d'un registre 8 bits, d'un multiplexeurs 2 à 1 de 8 bits et de quelques portes logiques (cf. figure 18). Les signaux de contrôle sont Calibration2 et End\_Conversion. Calibration2 exécute un reset à niveau bas du compteur et des bascules D. Ce signal passe à 5V quand le bloc Vref\_generator a fixé les tensions de référence (cf. figure 16). La calibration commence alors. Le signal End\_Conversion provient de l'ADC. C'est lui qui sert de signal d'horloge pour cette cellule. Je vais maintenant détailler ce bloc. Tout d'abord, le compteur est constitué de 8 bascules JK. Il a la possibilité de compter ou de décompter suivant la valeur des signaux « incrément » et « décrétement » ( en logique positive). Ensuite, le multiplexeur choisit si à la sortie de Calibration\_logic on passe directement les sorties du compteur ou celles du registre comme entrée du DAC



Le fonctionnement est le suivant. En entrée, Calibration\_logic reçoit les 8 bits de sortie de l'ADC. Ceux-ci arrivent dans une porte OU. Si tout les bits sont à 0, alors le compteur commence à incrémenter. Il continue de compter avec chaque front descendant de End-Conversion jusqu'à ce qu'un bit de l'ADC passe à 1. Dans ce cas, le signal décrement devient actif et le compteur décrémente d'une unité. Quand les 8 bits d'entrée sont de nouveau nuls, nous pouvons arrêter la calibration. Le signal incrément et la sortie de la porte OU 8 bits sont tous deux à 0, ce qui rend le signal End\_Calibration actif. Dans ce cas, les sorties du compteur sont copiées dans le registre. Ainsi lorsque calibration2 redescend à 0, on garde le code de la tension de calibration dans ce registre.

**Figure 18:** vue schématique de la cellule « calibration\_logic »

Note sur le signal End\_Conversion: On remarque sur le chronogramme de l'ADC (donné en annexe p 37) que les signaux de sortie de l'ADC sont stables que lorsque End\_Conversion est à 5V. Pour être sûrs d'avoir les valeurs exactes, nous déclenchons la bascule D en mode toggle sur un front montant de End\_Conversion mais pour le compteur nous utilisons le front descendant. Ainsi, nous sommes certains des signaux provenant de l'ADC.

## 4) Simulations :

### 4.1) modèle Veriloga:

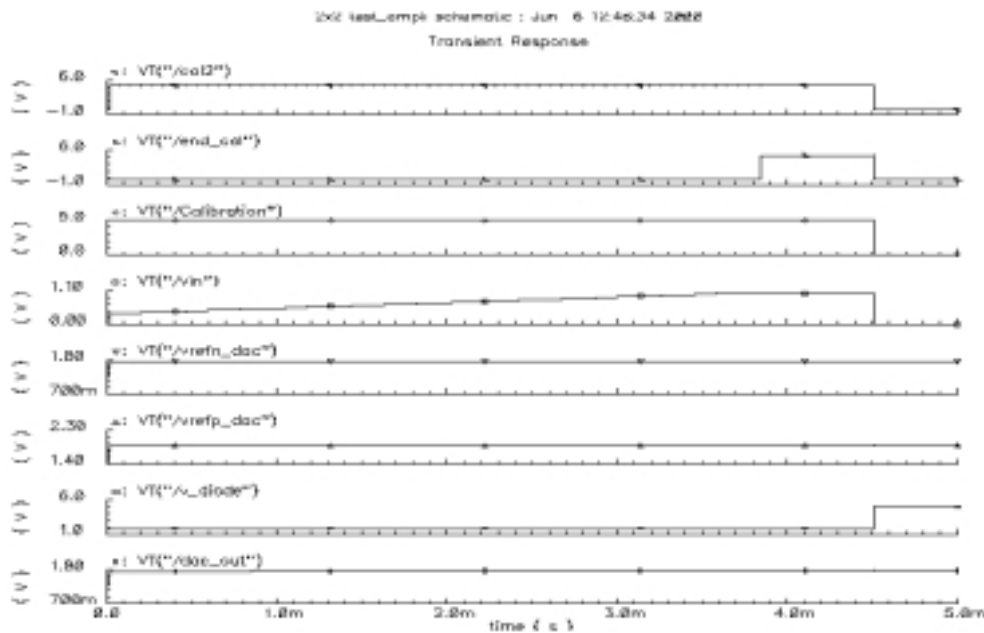
La simulation de la puce a surtout été axée sur la phase de calibration.



perte d'information lors du codage par l'ADC de la tension d'entrée. D'ailleurs, cette tension est de 1.004 V au lieu de 1V. Ceci s'explique en faisant un calcul sur l'étage amplificateur (le détail est donné en annexe p 38): Si on considère que tous les AO ont un gain infini et que tous les offset sont égaux (pour simplifier les calculs), alors la tension à l'entrée de l'ADC à pour expression:

$$V_{in\_adc} = G(V_{diode} - V_{dac\_out} + V_{offset}) + V_{refn}$$

Où  $G = 20$



**Figure 20:** signaux décrivant le fonctionnement de la puce.

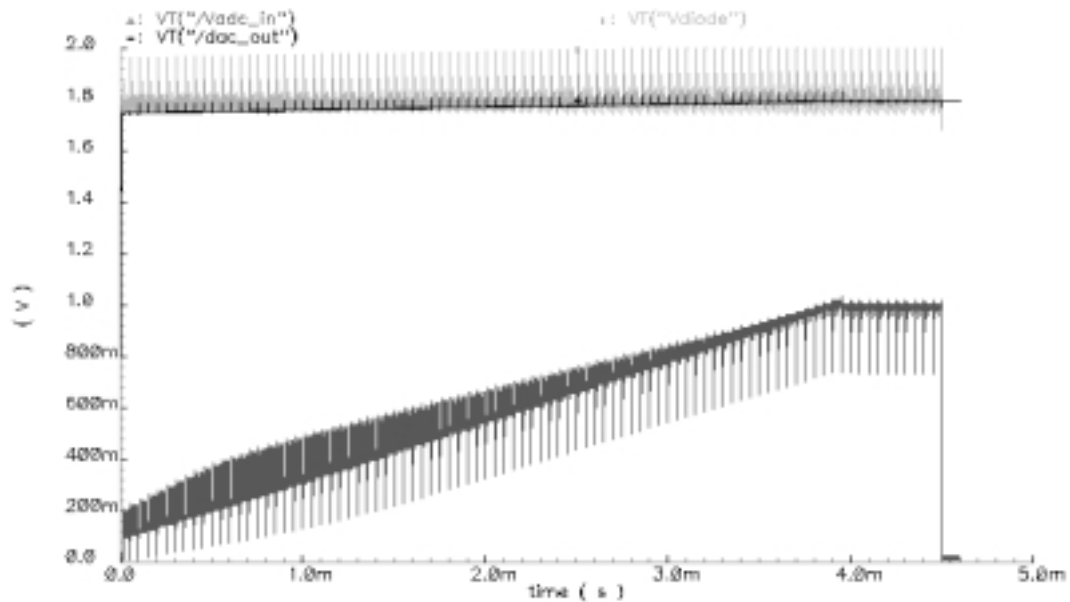
On remarque les paliers successifs du DAC au fur et à mesure que le compteur incrémente. Le pas d'incréméntation est de  $150 \text{ mV} / 256 = 0.59 \text{ mV}$ . On note aussi la décrémentation puis la stabilisation de la tension de calibration.

Note: Les programmes Verilog-A sont donnés en annexe pp 46–49

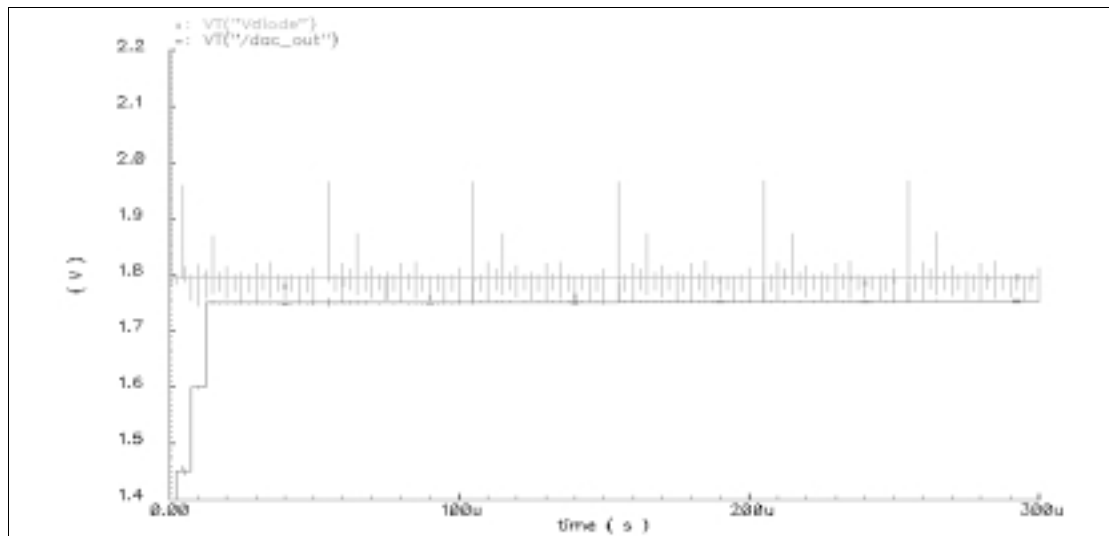
#### 4.2) Le modèle au niveau transistor:

En utilisant les modèles au niveau transistor, –il s'agit en fait des circuits obtenus par extraction du layout de chaque composant–, la simulation dure 1.5 jour sur une station Sun Ultra5. On dénombre 1550 composants. On voit dans ces deux chiffres tout l'intérêt d'utiliser des descriptions en Veriloga. La valeur trouvée pour la tension de calibration est plus proche de la valeur de la borne positive de la diode que dans le cas précédent car les offsets sont ici peu marqués. En effet, les offsets n'apparaîtront seulement lors de la fabrication Sur la figure 21, on vérifie bien que la tension de sortie du DAC se calibre sur celle de la diode. Au fur et à mesure qu'elle

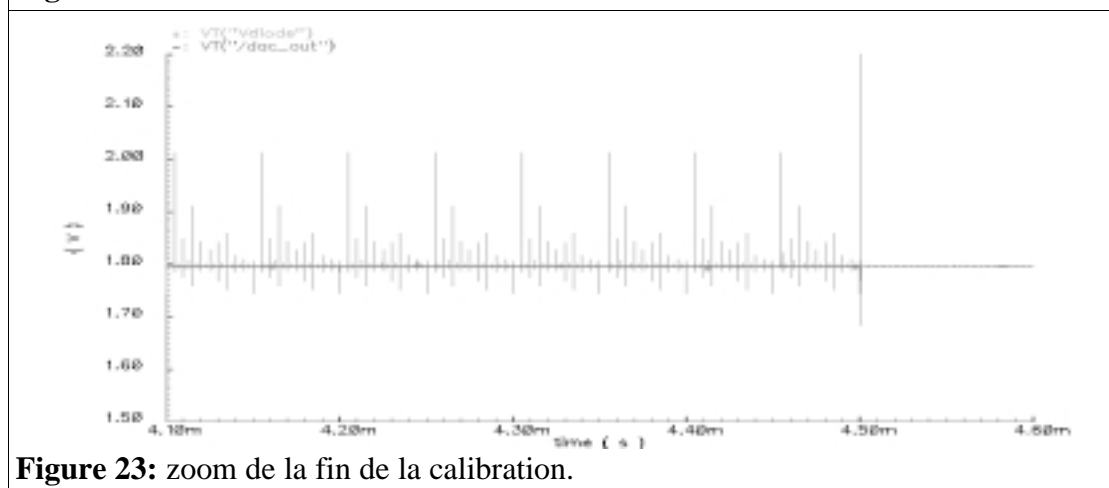
tend vers  $V_{diode}$  la tension d'entrée de l'ADC se rapproche de 1 V qui est la référence de l'ADC. Quand  $V_{in\_adc} = 1$  V, on a alors  $V_{dac\_out} = V_{diode} = 1.795$  V. De plus, on constate que le signal de la diode contient des pics périodiques causés par les commutations internes au convertisseur. Afin de mieux visionner la phase de calibration, nous avons exécuté deux zooms de la figure 21. La figure 22 représente un agrandissement du début de cette étape tandis que la figure 23 en montre la fin. Dans les deux cas, nous ne détaillons que les signaux  $V_{dac\_out}$  et  $V_{diode}$ .



**Figure 21** : chronogramme de la tension de calibration.

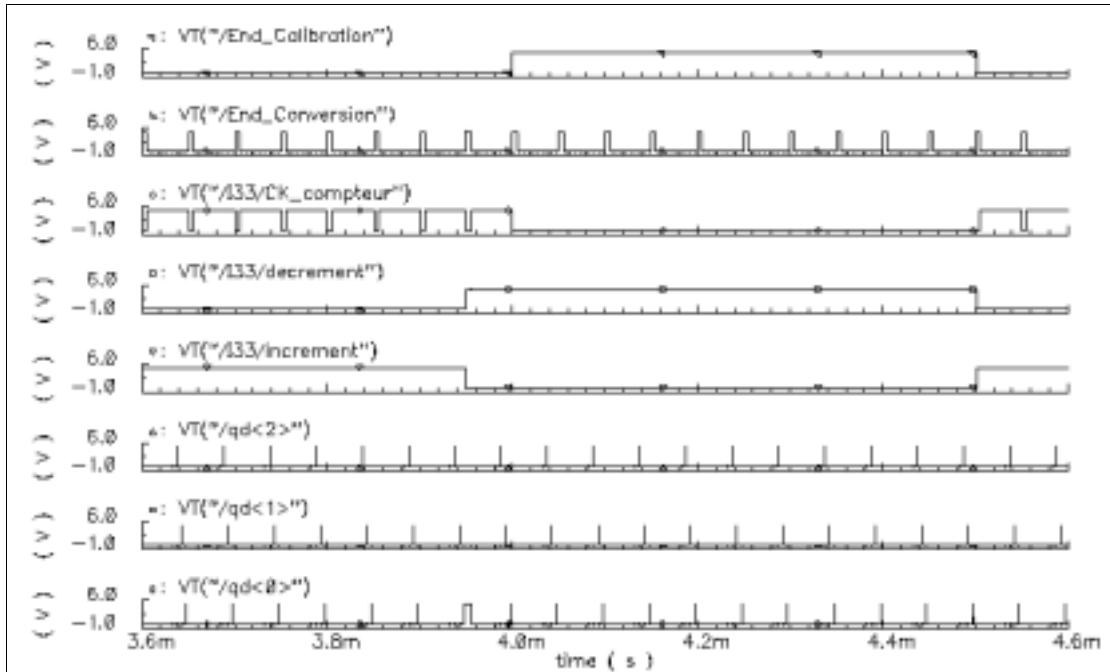


**Figure 22:** zoom du début de la calibration

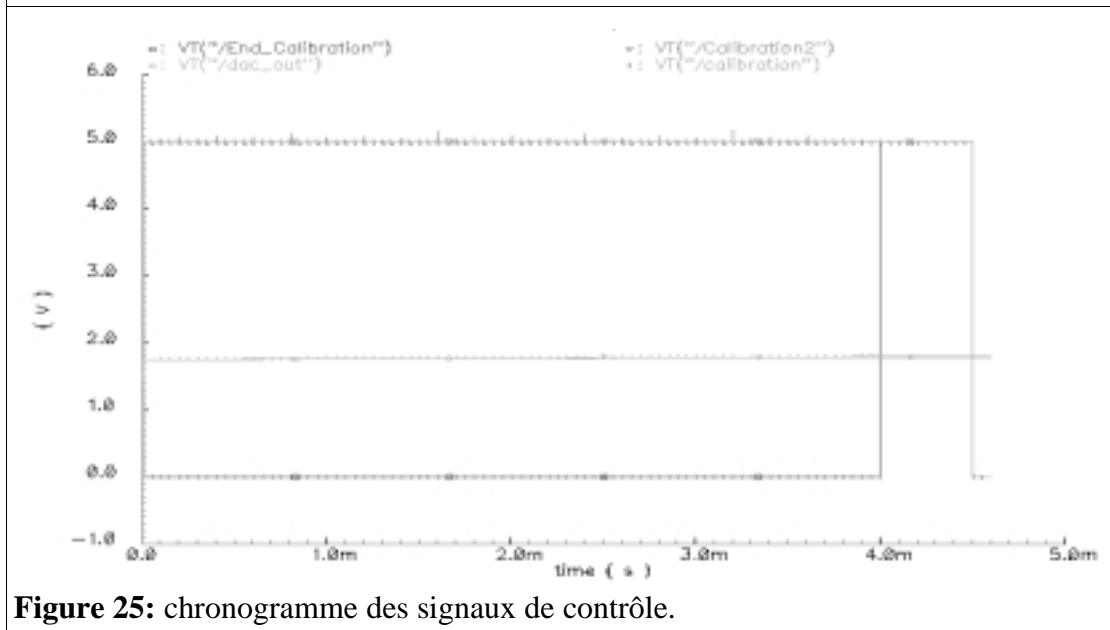


**Figure 23:** zoom de la fin de la calibration.

Par ailleurs, on constate grâce aux figures 24 et 25 que le circuit fonctionne correctement. Chaque signal s'exécute au bon moment. Ainsi, la figure 24 nous confirme que le bloc « calibration\_logic » s'exécute convenablement. Nous avons agrandi la fin de son fonctionnement, là où le compteur passe de l'incrément à la décrémentation. Quant à la figure 25, elle décrit le déroulement des signaux de contrôle.

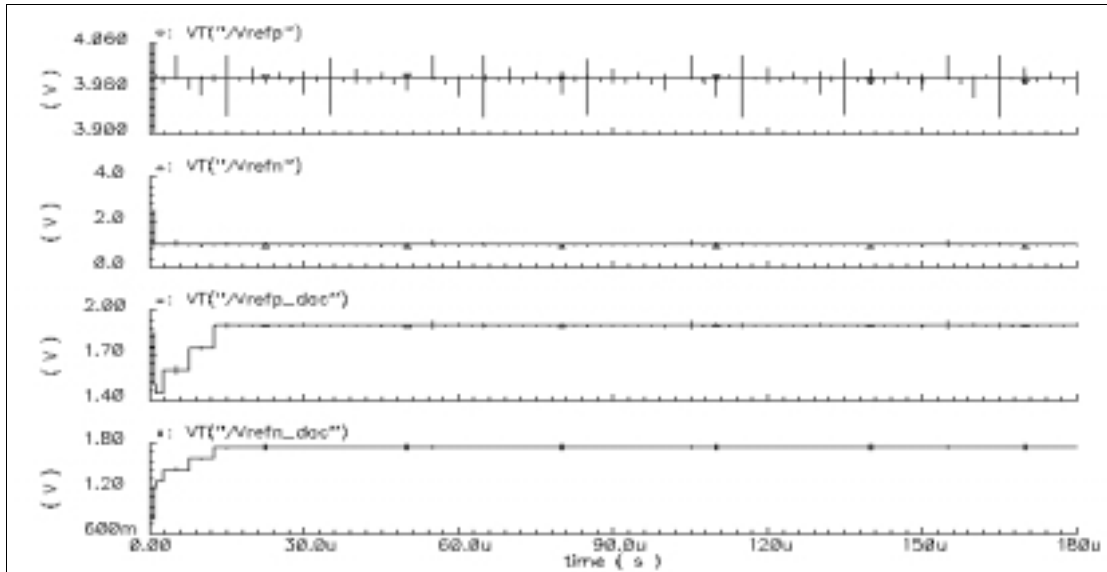


**Figure 24:** signaux liés au fonctionnement de « calibration\_logic »



**Figure 25:** chronogramme des signaux de contrôle.

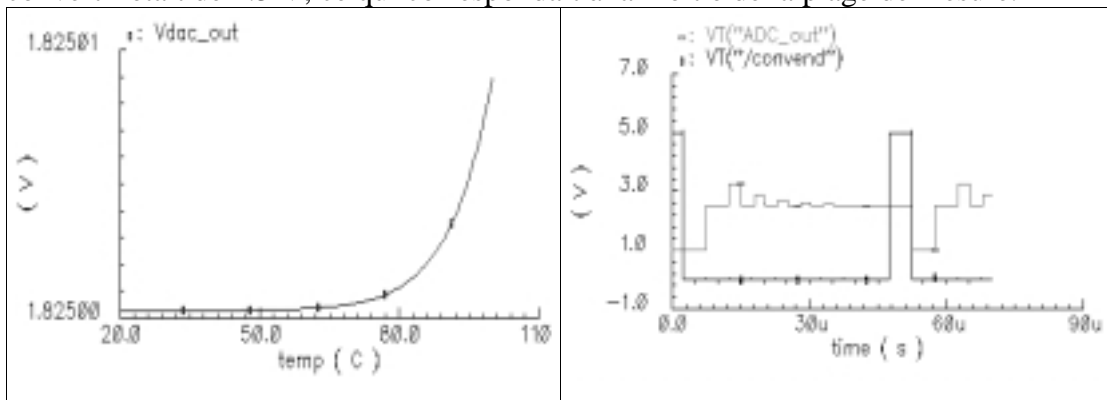
Enfin, pour compléter l'étude de la puce, nous avons tracé sur la figure 26 les tensions de référence qui sont réglées en début de calibration. Nous avons grossi le début des signaux car cette phase se déroule pendant environ 50  $\mu$ s.



**Figure 26:** chronogramme des tensions de référence.

#### 4.3)Évolution en température:

Il nous est impossible de simuler l'évolution en température de la puce avec un balayage DC de la température, car l'ADC ne peut être simulé qu'en mode transitoire. Toutefois, pour avoir une idée de l'impact de la température, nous simulons les 2 blocs les plus dépendants de la température qui sont sans aucun doute le DAC et l'ADC. Nous avons donc réalisé une simulation de ces 2 entités séparément. On utilise une simulation DC pour le DAC en balayant la température de 20 à 100 °C et on simule l'ADC en mode transitoire à 100 °C. À la sortie de l'ADC nous avons placé un DAC modélisé par un programme Veriloga (donc indépendant de la température) afin de vérifier que l'ADC code correctement la tension analogique d'entrée. On constate alors que la déviation de la tension de sortie est très faible et est même négligeable pour notre étude (cf. figure 27 (a) et (b)). En effet, nous notons une déviation de seulement 10  $\mu\text{V}$  pour le DAC et nulle pour l'ADC. La tension à convertir était de 2.5 V, ce qui correspondait à la moitié de la plage de mesure.



**Figure 27:** comportement en température du Dac et de l'ADC. (a) variations de la tension de sortie du DAC. (b) vue de la tension de sortie de l'ADC à 100 °C

## **5).Conclusions sur la conception de la puce:**

Au final, nous avons conçu un circuit mixte capable de mesurer l'évolution de la température sur une puce grâce à une matrice de diode, avec une précision de 0.3 °C. La méthode de prise de mesure est très fiable grâce à la phase de calibration. De plus, grâce à ses entrées/sorties purement numériques, la puce peut être utilisée seule ou bien dans une structure en forme de mosaïque. L'architecture du circuit ainsi réalisé autorise une implémentation dans une taille supérieure à 2x2 mm<sup>2</sup>. En outre, son principal avantage est d'employer seulement des cellules standards, notamment le capteur qui se résume en une simple diode. Ceci permet une surface de chauffage importante. Qui plus est, d'après les spécifications fournies par AMS concernant les cellules standards, nous sommes assurés que notre circuit aura un comportement correct dans la plage 0–100 °C.

Toutefois, la conception s'arrête au niveau schématique. L'étape suivante sera de réussir à intégrer toute l'électronique nécessaire au bon fonctionnement de la puce sur une surface de 4 mm<sup>2</sup> au minimum

Par ailleurs, il sera intéressant de concevoir une carte de contrôle pour tester les circuits réalisés. En effet, même si nous avons effectué des simulations complètes au niveau transistor et visualisé le bon fonctionnement de la puce, il est indispensable de vérifier la puce de manière physique après fabrication.

## Conclusions

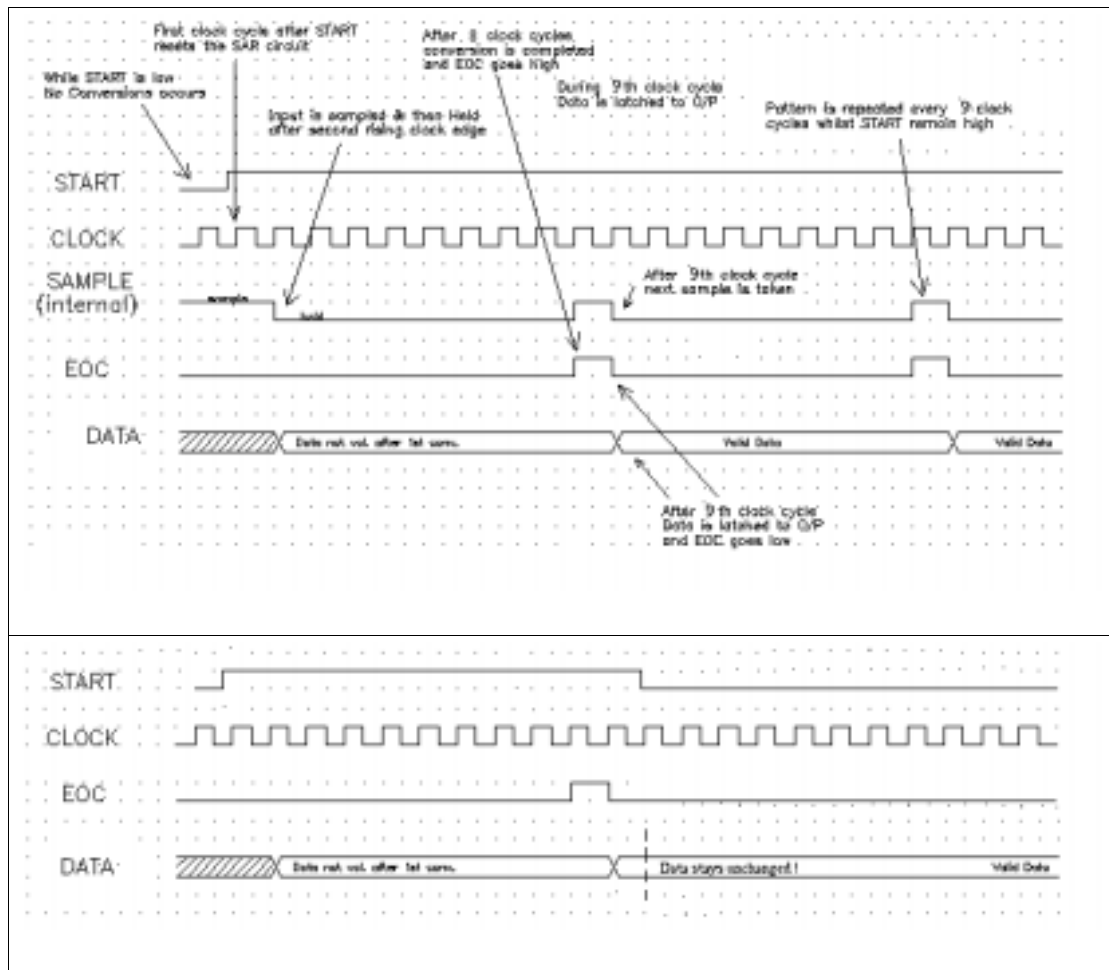
En définitive, ce stage d'une durée de quatre mois m'a permis de participer à un projet important sur les tests thermiques. J'ai ainsi appris à utiliser le logiciel ANSYS pour valider l'utilisation de la puce dédiée au test de boîtiers électroniques. Les résultats obtenus confirmant notre idée nous avons pu alors nous lancer dans la conception de la puce. Durant cette étape, j'ai beaucoup appris sur la manière de concevoir un circuit mixte. En effet, j'ai dû résoudre les problèmes liés à l'utilisation de cellules analogiques. Afin de régler ces contraintes, nous avons dû réaliser de nombreuses évolutions pour arriver au circuit actuel.

Par ailleurs, je tiens encore à remercier mes maîtres de stage, S. Mir et K. Turki, car sans leur soutien et leurs conseils avisés, je n'aurais pu concevoir une telle puce dans un délai aussi court. De plus, l'entraide régnant dans l'équipe Micro-système permet au groupe de rapidement progresser. Ce stage a donc été fort captivant sous tous rapports.

# Bibliographie

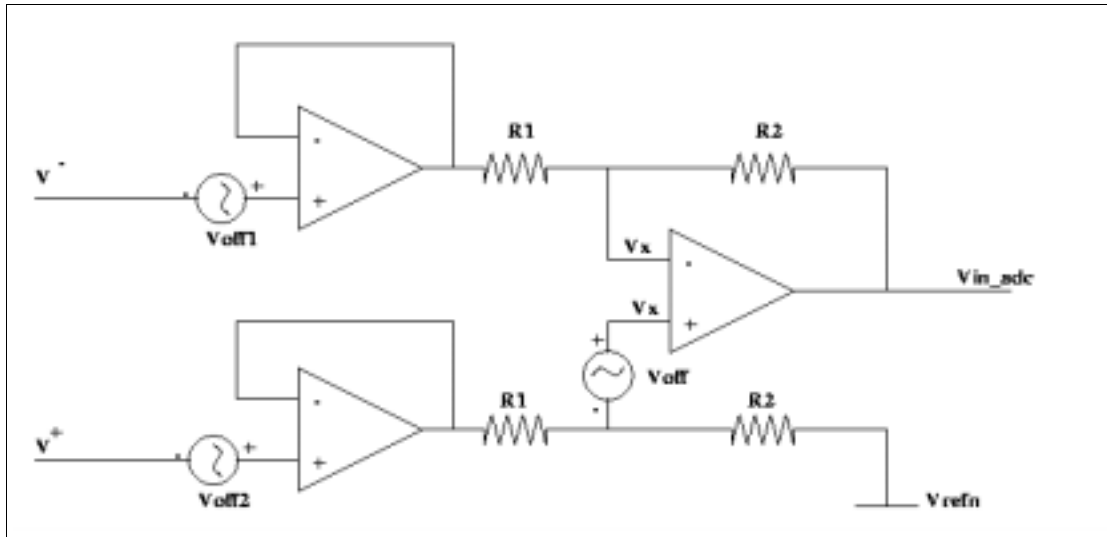
- Electronic Packaging and Interconnection Handbook, Charles A. Harper, Mc Graw Hill, inc, 1991
- Finite Element Analysis – Theory and Practice, M. J. Fagan, Longman Scientific & Technical
- Design of a scalable multi–functional thermal test die with direct and boundary scan access for programmed excitation and measurement data acquisition.  
a. Pope, G. Farkas, M. Rencz, Zs. Benedeck, L. Pohl, V. Szekely, K. Torki, S. Mir, B. Courtois, A paraître durant le 6<sup>th</sup> Intersted Workshop on Thermal Investigation of ICs & Systems (Therminic), Budapest, Hongrie, Septembre 2000.
- A Thermal Benchmark Chip: Design and Applications, V. Szekely, C. Marta, M. Rencz, G. Vegh, Zs. Benedeck, s. Torok, IEEE Transactions on Components, Packaging, and manufacturing Technology – Part A, vol. 21, n<sup>o</sup> 3, Septembre 1998
- Transient Thermal Measurement for Dynamic Package Modeling new Approaches. V. Szekely, S. Röss, A. Poppe, S. Torok, D. Magyar, Zs. Benedeck, K. Torki, B. Courtois, M. Rencz. 5<sup>th</sup> Therminic Workshop, 3–6 October 99, Rome.
- 2<sup>nd</sup> Electronic Packaging Technology Conference, Thermal Transient Testing of Package without a Tester. TU Budapest, Department Electronic Devices, Décembre 98.
- SMD Packages, Thermal Resistance – Theory and Practice, Special Subject Book, Infineon, 08/99.
- Package Thermal Characterization Methodologies, Applications Report, Texas Instrument 1999.
- Technique de conception des circuits intégrés analogiques pour des applications en haute température, en technologie sur substrat de silicium, Raul–Andres Bianchi, Thèse de Doctorat INPG, octobre 1999.
- Verilog–A Reference Manual, Product version 4.4.3 December 1998.
- ANSYS User’s Manual, for Revision 5.1, Septembre 1994

# **ANNEXES**



Chronogramme de l'ADC 8 bits.

Nous l'utilisons généralement en fonctionnement libre.



Pour simplifier les calculs, on suppose que les AO ont un gain infini, on a alors :

$$\frac{(V^{+} + V_{off2} - V_{refn})}{(R1 + R2)} R2 + V_{refn} + V_{off}$$

$$\frac{(V^{-} + V_{off1} - V_{in\_adc})}{(R1 + R2)} R2 + V_{in\_adc}$$

Si, de plus on fait l'hypothèse que  $V_{off1} = V_{off2}$  on a

$$\frac{(V^{+} - V_{refn})}{(R1 + R2)} R2 + V_{refn} + V_{off} = \frac{(V^{-} - V_{in\_adc})}{(R1 + R2)} R2 + V_{in\_adc}$$

$$(V^{+} - V^{-}) \frac{R2}{(R1 + R2)} + V_{refn} \frac{R1}{(R1 + R2)} + V_{off} = V_{in\_adc} \frac{R1}{(R1 + R2)}$$

D'où

$$V_{in\_adc} = (V^{+} - V^{-}) \frac{R2}{R1} + V_{refn} + \frac{(R1 + R2)}{R1} V_{off}$$

Sachant que  $R1 = 1 \text{ K}\Omega$  et  $R2 = 20 \text{ K}\Omega$ ,  $R2 \gg R1$ , nous arrivons à :

$$V_{in\_adc} = (V^{+} - V^{-} + V_{off}) \frac{R2}{R1} + V_{refn}$$